

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuhiro SHIMIZU

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: HIGH VOLTAGE INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-119641

MONTH/DAY/YEAR

April 24, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_

☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月 2 4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 1 9 6 4 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 1 9 6 4 1 ]

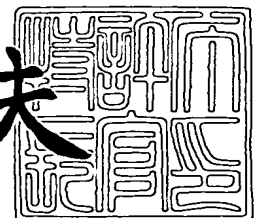
出      願      人                      三 菱 電 機 株 式 有 限 公 司  
Applicant(s):



2 0 0 3 年 1 0 月    1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 0 8 4 2

【書類名】 特許願

【整理番号】 545344JP01

【提出日】 平成15年 4月24日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 清水 和宏

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第 1 および第 2 のスイッチングデバイスの駆動制御を行う半導体装置であって、

前記第 1 および第 2 のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、

前記低電位の主電源電位を基準として動作する低電位部に配設され、外部から与えられる信号に基づいて、前記高電位側スイッチングデバイスの導通を示す第 1 状態および前記高電位側スイッチングデバイスの非導通を示す第 2 状態を有する制御信号を生成するとともに、前記制御信号に基づいて、前記第 1 および第 2 状態に対応して、第 1 および第 2 のパルス信号を発生する低電位側ロジック回路と、

前記第 1 および第 2 のパルス信号を、前記高電位部へとレベルシフトして、それぞれ第 1 および第 2 のレベルシフト済みパルス信号を得る第 1 および第 2 のレベルシフト部と、

前記第 1 および第 2 のレベルシフト部のうち、少なくとも 1 方の出力線の電位を検出し、当該電位に基づく論理値を前記低電位側ロジック回路に与えて、前記低電位側ロジック回路の動作を制御する前記低電位部に配設された電圧検出素子と、を備える半導体装置。

【請求項 2】 直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第 1 および第 2 のスイッチングデバイスの駆動制御を行う半導体装置であって、

前記第 1 および第 2 のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、

前記高電位部の信号をレベルシフトして、前記低電位の主電源電位を基準として動作する低電位側ロジック回路に与える逆レベルシフト部と、

前記逆レベルシフト部の出力線の電位を検出し、当該電位に基づく論理値を前

記制御部に与えて、前記高電位側スイッチングデバイスの導通／非導通を制御する前記高電位部に配設された電圧検出素子と、を備える半導体装置。

【請求項 3】 直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第 1 および第 2 のスイッチングデバイスの駆動制御を行う半導体装置であって、

前記第 1 および第 2 のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、

前記低電位の主電源電位を基準として動作する低電位部に配設され、外部から与えられる信号に基づいて、前記高電位側スイッチングデバイスの導通を示す第 1 状態および前記高電位側スイッチングデバイスの非導通を示す第 2 状態を有する制御信号を生成するとともに、前記制御信号に基づいて、前記第 1 および第 2 状態に対応して、第 1 および第 2 のパルス信号を発生する低電位側ロジック回路と、

前記高電位部から延在し、前記高電位の主電源電位を出力する出力線の電位を検出し、当該電位に基づく論理値を前記低電位側ロジック回路に与えて、前記低電位側ロジック回路の動作を制御する前記低電位部に配設された電圧検出素子と、を備える半導体装置。

【請求項 4】 前記電圧検出素子は、

前記低電位部内であって、前記低電位の主電源電位を基準として動作する半導体素子が配設されない非配設領域に配設される、請求項 3 記載の半導体装置。

【請求項 5】 直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第 1 および第 2 のスイッチングデバイスの駆動制御を行う半導体装置であって、

前記第 1 および第 2 のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、

前記高電位の主電源電位と、前記第 1 および第 2 のスイッチングデバイスの接続ノードとの間に介挿され、前記第 1 および第 2 のスイッチングデバイスの接続ノードの電位を検出して、当該電位に基づく論理値を前記制御部に与えて、前記高電位側スイッチングデバイスの導通／非導通を制御する前記高電位部に配設さ

れた電圧検出素子と、を備え、

前記電圧検出素子は、前記低電位の主電源電位を出力する前記低電位部から延在する出力線の電位によって導通／非導通が制御される少なくとも1つのMOSトランジスタである、半導体装置。

【請求項6】 前記電圧検出素子は、

前記高電位部内であって、前記高電位の主電源電位を基準として動作する半導体素子が配設されない非配設領域に配設される、請求項5記載の半導体装置。

【請求項7】 前記電圧検出素子は、

素子動作時にチャネル領域を形成する半導体領域の上部に配設されたフィールド酸化膜または層間絶縁膜のうち少なくとも一方をゲート絶縁膜として有し、

前記ゲート絶縁膜の上に配設された前記出力線をゲート電極として有する少なくとも1つのMOSトランジスタで構成される、請求項1、2、3および5の何れかに記載の半導体装置。

【請求項8】 前記少なくとも1つのMOSトランジスタは、並列に接続された3以上の奇数個のMOSトランジスタを含み、

前記奇数個のMOSトランジスタのそれぞれの出力のうち、過半数を越える論理値に基づいて前記制御信号を制御する、請求項7記載の半導体装置。

【請求項9】 前記少なくとも1つのMOSトランジスタは、相補型MOSトランジスタを構成するNMOSトランジスタとPMOSトランジスタとを含み、

前記NMOSトランジスタおよび前記PMOSトランジスタは、前記出力線を共通のゲート電極として有し、

前記相補型MOSトランジスタの出力の論理値が、前記低電位側ロジック回路に与えられる、請求項7記載の半導体装置。

【請求項10】 前記少なくとも1つのMOSトランジスタは、並列に接続された複数個のMOSトランジスタを含み、

前記複数個のMOSトランジスタは、それぞれの閾値電圧が異なる、請求項7記載の半導体装置。

【請求項11】 前記複数個のMOSトランジスタは、それぞれの前記ゲ-

ト絶縁膜の厚さが異なる、請求項 10 記載の半導体装置。

【請求項 12】 前記複数個の MOS トランジスタは、それぞれの前記ゲート絶縁膜の上に配設されたそれぞれの前記ゲート電極の材質が異なる、請求項 11 記載の半導体装置。

【請求項 13】 前記複数個の MOS トランジスタは、それぞれの前記ゲート絶縁膜の上に配設されたそれぞれの前記ゲート電極の材質が共通で、かつ一体構造を有する、請求項 11 記載の半導体装置。

【請求項 14】 前記複数個の MOS トランジスタは、それぞれの前記チャネル領域の不純物濃度が異なる、請求項 10 記載の半導体装置。

【請求項 15】 前記少なくとも 1 つの MOS トランジスタは、前記チャネル領域を含む半導体領域が半導体基板とは電氣的に絶縁され、

前記半導体領域にバイアス電圧を印加することで、前記半導体領域の電位を変更して前記少なくとも 1 つの MOS トランジスタの閾値電圧を電氣的に変化させる、請求項 7 記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は半導体装置に関し、特に高耐圧の電力用集積回路装置に関する。

##### 【0002】

##### 【従来の技術】

電力用集積回路装置（HVIC：High Voltage IC）は、モータ制御をはじめとするメカトロニクス分野で高機能化と低コスト化を図るために欠かせない装置である。

##### 【0003】

例えば、電力ラインのブリッジ整流を行うために使用される IGBT（絶縁ゲート型バイポーラトランジスタ：Insulated Gate Bipolar Transistor）などの電力用トランジスタのゲートドライバ回路として HVIC が使用される。この HVIC においては、高電位側（ハイサイド）および低電位側（ローサイド）の IGBT が同時にオン状態（Shoot-through 現象と呼称）となると、アーム（電



カライン) 間が短絡状態となって大電流が IGBT に流れて、IGBT が破壊してしまう。

#### 【0004】

これを防止するために、HVIC においては、高電位側のゲートドライバー出力と、低電位側のゲートドライバー出力とが相補的に出力されるように制御しているが、実際にゲートドライバー出力をモニタしているわけではないため、例えば、高電位側のゲートドライバーから出力されている状態（高電位側 IGBT がオン状態）で、負荷等の故障により高電位側 IGBT と低電位側 IGBT の接続ノードの電位（電位 VS と呼称）が接地電位（GND）と短絡（地絡）した場合、高電位側 IGBT は短絡状態となるためすぐにオフする必要があるが、HVIC は電位 VS が GND になっていることが判別できないので、そのまま高電位側のゲートドライバーの出力を続けてしまう。

#### 【0005】

これを防止するには、単純に考えれば、この電位 VS をモニタすれば良いということになるが、通常 VS 電位は数百 V となるので、この電位を HVIC 内部でモニタすることは不可能であった。

#### 【0006】

例えば、特許文献 1 には、高電位側 IGBT のエミッタ端子が GND に短絡した場合の過電流を検出し、当該検出信号に基づいて高電位側 IGBT の制御を行う構成が開示されているが、この方法では高電位側 IGBT に制御信号を与えるまでに一定時間を要し、この間は短絡状態が続くので、IGBT を一定時間、短絡状態に耐える構造にしなければならず、製造コストが上昇する要因になっていた。

#### 【0007】

##### 【特許文献 1】

特開平9-172358号公報(第6欄～第7欄、図1～3)

#### 【0008】

##### 【発明が解決しようとする課題】

本発明は上記のような問題点を解消するためになされたもので、電力ラインの

ブリッジ整流を行うための半導体素子の破壊を防止した電力用集積回路装置を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

本発明に係る請求項1記載の半導体装置は、直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第1および第2のスイッチングデバイスの駆動制御を行う半導体装置であって、前記第1および第2のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、前記低電位の主電源電位を基準として動作する低電位部に配設され、外部から与えられる信号に基づいて、前記高電位側スイッチングデバイスの導通を示す第1状態および前記高電位側スイッチングデバイスの非導通を示す第2状態を有する制御信号を生成するとともに、前記制御信号に基づいて、前記第1および第2状態に対応して、第1および第2のパルス信号を発生する低電位側ロジック回路と、前記第1および第2のパルス信号を、前記高電位部へとレベルシフトして、それぞれ第1および第2のレベルシフト済みパルス信号を得る第1および第2のレベルシフト部と、前記第1および第2のレベルシフト部のうち、少なくとも一方の出力線の電位を検出し、当該電位に基づく論理値を前記低電位側ロジック回路に与えて、前記低電位側ロジック回路の動作を制御する前記低電位部に配設された電圧検出素子とを備えている。

#### 【0010】

本発明に係る請求項2記載の半導体装置は、直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第1および第2のスイッチングデバイスの駆動制御を行う半導体装置であって、前記第1および第2のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、前記高電位部の信号をレベルシフトして、前記低電位の主電源電位を基準として動作する低電位側ロジック回路に与える逆レベルシフト部と、前記逆レベルシフト部の出力線の電位を検出し、当該電位に基づく論理値を前記制御部に与えて、前記高電位側スイッチングデバイスの導通／非導通を制御する前記高電位部に配設された電圧検出素子とを備えている。

**【0011】**

本発明に係る請求項3記載の半導体装置は、直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第1および第2のスイッチングデバイスの駆動制御を行う半導体装置であって、前記第1および第2のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、前記低電位の主電源電位を基準として動作する低電位部に配設され、外部から与えられる信号に基づいて、前記高電位側スイッチングデバイスの導通を示す第1状態および前記高電位側スイッチングデバイスの非導通を示す第2状態を有する制御信号を生成するとともに、前記制御信号に基づいて、前記第1および第2状態に対応して、第1および第2のパルス信号を発生する低電位側ロジック回路と、前記高電位部から延在し、前記高電位の主電源電位を出力する出力線の電位を検出し、当該電位に基づく論理値を前記低電位側ロジック回路に与えて、前記低電位側ロジック回路の動作を制御する前記低電位部に配設された電圧検出素子とを備えている。

**【0012】**

本発明に係る請求項5記載の半導体装置は、直列に接続され、高電位の主電源電位と低電位の主電源電位との間に介挿された第1および第2のスイッチングデバイスの駆動制御を行う半導体装置であって、前記第1および第2のスイッチングデバイスのうち、高電位側スイッチングデバイスの導通／非導通を制御する制御部を含む高電位部と、前記高電位の主電源電位と、前記第1および第2のスイッチングデバイスの接続ノードとの間に介挿され、前記第1および第2のスイッチングデバイスの接続ノードの電位を検出して、当該電位に基づく論理値を前記制御部に与えて、前記高電位側スイッチングデバイスの導通／非導通を制御する前記高電位部に配設された電圧検出素子とを備え、前記電圧検出素子は、前記低電位の主電源電位を出力する前記低電位部から延在する出力線の電位によって導通／非導通が制御される少なくとも1つのMOSトランジスタである。

**【0013】****【発明の実施の形態】****< A. 実施の形態1 >**

### ＜A-1. 装置構成＞

図1に、本発明に係る実施の形態1として、電力用集積回路装置（HVIC）100の構成を示す。

#### 【0014】

図1において高電位（HV）側電力ラインと低電位（接地電位GND）側電力ラインとの間に、IGBT（絶縁ゲート型バイポーラトランジスタ）などのパワーデバイス12および13がトータムポール接続され、ハーフブリッジ型パワーデバイスを構成している。また、パワーデバイス12および13には、それぞれ、フリーホイールダイオードD1およびD2が逆並列接続されている。そして、パワーデバイス12とパワーデバイス13との接続点N1には負荷（モータなどの誘導性負荷）が接続される構成となっている。

#### 【0015】

図1において、パワーデバイス12はパワーデバイス13との接続点N1の電位を基準電位として、当該基準電位と高電位側電力ライン（HV）との間でスイッチング動作するデバイスであり、高電位側パワーデバイスと呼称される。

#### 【0016】

また、パワーデバイス13は接地電位を基準電位として、当該基準電位と接続点N1の電位との間でスイッチング動作するデバイスであり、低電位側パワーデバイスと呼称される。

#### 【0017】

従って、図1に示すHVIC100は、高電位側パワーデバイス駆動回路HDと、低電位側パワーデバイス駆動回路LDとに区別される。

#### 【0018】

高電位側パワーデバイスの駆動回路HDは、当該駆動回路の電源となるキャパシタ10の2つの電極にそれぞれのソース電極が接続され、相補型MOSトランジスタ（CMOSトランジスタ）を構成するPMOSトランジスタ24およびNMOSトランジスタ25を有し、PNMOSトランジスタ24およびNMOSトランジスタ25を相補的にオン、オフさせることでパワーデバイス12をスイッチングする回路である。また、PMOSトランジスタ24およびNMOSトラン

ジスタ 25 の接続点の電圧を高電位側出力電圧 H O と呼称する。

#### 【0019】

また、高電位側パワーデバイス駆動回路 H D は P M O S トランジスタ 24 および N M O S トランジスタ 25 を駆動させるために、インターフェース回路 1 から与えられ、接地電位を基準として発生されたパルス状の制御信号 S 1（第 1 状態および第 2 状態の 2 つの電位状態を有している）の正および負のレベル遷移に 응답して、パルス状のオン信号 S 2 およびオフ信号 S 3 を発生させるパルス発生回路 3 を有している。なお、インターフェース回路 1 は外部に設けられたマイクロコンピュータなどから与えられる高電位側制御信号（H I N 信号）および低電位側制御信号（L I N 信号）に基づいて、それぞれ制御信号 S 1 および S 0 を生成する。また、図示していないが、高電位側から逆レベルシフトされて送られてきた信号を受け、当該信号を外部に出力する機能も有している。また、パルス発生回路 3 はワンショットパルス発生回路とも呼称される。なお、インターフェース回路 1 およびパルス発生回路 3 を含めて低電位側ロジック回路と総称する場合もある。

#### 【0020】

パルス発生回路 3 の 2 つの出力はレベルシフトトランジスタである高耐圧 N チャンネル型電界効果トランジスタ（H N M O S トランジスタと呼称）4 および 5 のゲート電極に接続されている。そして、オン信号 S 2 は H N M O S トランジスタ 4 のゲート電極に、オフ信号 S 3 は H N M O S トランジスタ 5 のゲート電極に与えられる構成となっている。

#### 【0021】

H N M O S トランジスタ 4 および 5 のドレイン電極はそれぞれ、抵抗 29 および 30 の一方端に接続されるとともに、ロジックフィルタ 8 の入力に接続され、ロジックフィルタ 8 の出力は反転入力 S R フリップフロップ回路 9 のセット入力およびリセット入力に接続されている。ここで、ロジックフィルタ 8 は反転入力 S R フリップフロップ回路 9 の誤動作を防止するためのフィルタ回路であり、論理ゲートによって構成されている。

#### 【0022】

反転入力SRフリップフロップ回路9のQ出力はPMOSトランジスタ24およびNMOSトランジスタ25のゲート電極に接続されている。

#### 【0023】

なお、抵抗29および30の他方端はPMOSトランジスタ24のソース電極側、すなわちキャパシタ10の一方の電極（この電位を高電位側浮遊電源絶対電位VBと呼称）に接続されている。また、PMOSトランジスタ24のドレイン電極、すなわちキャパシタ10の他方の電極（この電位を高電位側浮遊電源オフセット電位VSと呼称）は接続点N1に接続されている。

#### 【0024】

また、HVIC100には、キャパシタ10にロジック回路電圧VCCを供給するための直流電源41が接続され、直流電源41の正極は電流制限抵抗43を介して高耐圧ダイオード31のアノードに接続されている。そして、高耐圧ダイオード31のカソードは、キャパシタ10の一方の電極（すなわちPMOSトランジスタ24のソース電極側）に接続されている。

#### 【0025】

高電位側パワーデバイス駆動回路HDは、キャパシタ10に蓄えられた電荷、すなわちロジック回路電圧VCCを利用して動作し、キャパシタ10に蓄えられた電荷がロジック回路電圧VCCを維持できない程度にまで低下すると、高耐圧ダイオード31を介して直流電源41から電荷が供給され、ロジック回路電圧VCCを回復する。また、HVIC100には、インターフェース回路1の動作電源電圧VDDを供給する直流電源42も接続されている。

#### 【0026】

低電位側パワーデバイス駆動回路LDは、当該駆動回路の電源となるキャパシタ11の2つの電極の間に直列に接続されたPMOSトランジスタ27およびNMOSトランジスタ28を有し、PMOSトランジスタ27およびNMOSトランジスタ28を相補的にオン、オフさせることでパワーデバイス13をスイッチングする回路である。ここで、PMOSトランジスタ27およびNMOSトランジスタ28の接続点の電圧を低電位側出力電圧LOと呼称する。

#### 【0027】

なお、PMOSトランジスタ27およびNMOSトランジスタ28は、インターフェース回路1から与えられる制御信号S0によって制御されるが、高電位側パワーデバイス駆動回路HDは、上述したように複雑な経路で伝達されるため、入力に対し数十ns程度の遅れを生じてしまう。このため低電位側パワーデバイス駆動回路LDには、遅延回路DLを介して制御信号S0を与えることで、高電位側パワーデバイス駆動回路HDと同じ入力遅れを持つように設計されている。

#### 【0028】

ここで、発明者は、上述したHVIC100において、HNMOSトランジスタ4および5のドレイン電極の電位V1およびV11を、電位VSにはほぼ等しいと見なすことができることに着目し、電位V1およびV11をモニタすることで電位VSを検知するという技術思想に到達した。

#### 【0029】

すなわち、電位VSは接地電位レベルから数百Vまで変化するのに対し、電位VBは電位VS+VCCとして、電位VSに追従して変化する。ロジック回路電圧VCCは、一般に5～20Vの一定電圧に設定され、その値は電位VSの変動幅に比べて小さいので、電位VSと電位VB（すなわち電位V1およびV11）とは、ほぼ等しく、電位V1およびV11をモニタすることは、電位VSをモニタすることとほぼ等価であると言える。

#### 【0030】

本発明は上記技術思想に基づいてなされており、図1に示すHVIC100においては、HNMOSトランジスタ4のドレイン電極を、NMOSトランジスタ21のゲート電極に接続し、NMOSトランジスタ21のドレイン電極には抵抗32を介してロジック回路電圧VCCが与えられる構成とし、NMOSトランジスタ21のソース電極は接地電位が与えられる構成としている。そして、NMOSトランジスタ21のドレイン電位V2をインターフェース回路1でモニタすることで、電位VSを間接的にモニタする構成となっている。

#### 【0031】

##### < A-2. 装置動作 >

次に、図2に示すタイミングチャートを用いて、HVIC100の通常時の動

作について説明する。なお、低電位側パワーデバイス駆動回路LDの動作は、従来と同様であるので、以下においては高電位側パワーデバイス駆動回路HDの動作を中心に説明を行う。

#### 【0032】

図2において、パルス状の制御信号S1の負(GND)から正(VDD)および正(VDD)から負(GND)のレベル遷移に応答して、パルス発生回路3がオン信号S2およびオフ信号S3としてワンショットパルスを順次発生させる。

#### 【0033】

まず、オン信号S2として“H(高電位すなわちVCC)”に遷移するパルス信号が与えられる。このときオフ信号S3は“L(低電位すなわちGND)”状態であり、オン信号S2によって、HNMOSトランジスタ4がオンする。なお、HNMOSトランジスタ5はオフ状態である。

#### 【0034】

それによってHNMOSトランジスタ4に接続された抵抗29に電圧降下が発生し、HNMOSトランジスタ4のドレイン電極の電位V1が電位VBから電位VSに低下する。

#### 【0035】

一方、HNMOSトランジスタ5に接続された抵抗30には電圧降下が発生しないので、ロジックフィルタ8の他方の入力には“H”信号(電位VB)が入力され続ける。

#### 【0036】

同様に、オフ信号S3として“H(高電位すなわちVCC)”に遷移するパルス信号が与えられると、HNMOSトランジスタ5がオンする。なお、HNMOSトランジスタ4はオフ状態である。

#### 【0037】

それによってHNMOSトランジスタ5に接続された抵抗30に電圧降下が発生し、HNMOSトランジスタ5のドレイン電極の電位V11が電位VBから電位VSに低下する。

#### 【0038】



反転入力SRフリップフロップ回路9の出力信号は、オン信号S2が与えられるタイミングで“H”（すなわち電位VB）に遷移し、オフ信号S3が与えられるタイミングで“L”（すなわち電位VS）に遷移する。

#### 【0039】

なお、NMOSトランジスタ24および25を相補的にオン、オフさせることで得られる、パワーデバイス12の制御信号HOも同様の信号となる。ここで、図2にはパワーデバイス13の制御信号LOも併せて示している。

#### 【0040】

なお、ノードN1の電位は、パワーデバイス12および13の相補的な動作により、高電位（HV）と接地電位（GND）の間で変化し、その変化のタイミングは、パワーデバイス12の制御信号HOの変化のタイミングに追従している。

#### 【0041】

このようなHVIC100の通常時の動作において、NMOSトランジスタ21のドレイン電位V2は、ノードN1の電位の変化に対応した出力となる。

#### 【0042】

すなわち、ノードN1の電位が高電位（HV）になると、電圧検出素子として設けたNMOSトランジスタ21がオン状態となり、ドレイン電位V2はGNDとなる。

#### 【0043】

一方、ノードN1の電位がGNDになるとNMOSトランジスタ21がオフ状態となり、ドレイン電位V2はロジック回路電圧VCCとなる。このように、NMOSトランジスタ21からはノードN1の電位VSに対応した出力が得られ、電位VSの間接的なモニタが可能となる。

#### 【0044】

次に、図3に示すタイミングチャートを用いて、ノードN1が地絡状態になった場合の異常検知動作について説明する。

#### 【0045】

図3に示すように、正常動作状態（期間T1）からノードN1が地絡状態になると、ノードN1の電位が高電位（HV）から接地電位（GND）にまで低下す

る（期間  $T_2$ ）。

#### 【0046】

この変化により、電圧検出素子として設けたNMOSトランジスタ21がオフ状態となり、ドレイン電位  $V_2$  がロジック回路電圧  $V_{CC}$  となる。ドレイン電位  $V_2$  はインターフェース回路1でモニタされており、これと例えば  $HIN$  信号との反転論理積（NAND演算）をとることで、ノード  $N_1$  の地絡のタイミングに合わせて制御信号  $S_1$  をオフ信号にすることができる。これによって、ノード  $N_1$  の地絡のタイミングで、パルス発生回路3からオフ信号  $S_3$  を発生させることが可能となり、短絡状態にあるパワーデバイス12の制御信号  $HO$  を停止して、パワーデバイス12をオフ状態にすることができ、 $HVIC100$  は短絡保護機能を有することになる。

#### 【0047】

##### < A-3. 具体的構成例 >

次に、 $HVIC100$  の具体的な構成の一例について図4および図5を用いて説明する。

#### 【0048】

図4は、 $HVIC100$  のうち、高電位側パワーデバイス駆動回路  $HD$ 、NMOSトランジスタ21などの電圧検出素子が配設された電圧センス部  $SP$ 、 $HN$  MOSトランジスタ4などの高耐圧のレベルシフトトランジスタ  $LST$  および低電位側ロジック回路  $LL$  の半導体基板主面上での平面配置を示す平面図である。なお、図4は模式的に示された図であり、各構成の大きさや配設間隔は現実の装置とは異なる。

#### 【0049】

ここで、低電位側ロジック回路  $LL$  は、図1においては示していないが、高電位側パワーデバイス駆動回路  $HD$  からのレベルシフト（逆レベルシフト）により低電位側に送られる信号を受け、当該信号を判定する機能を有する回路や、当該信号を外部に出力する回路を含んでいる。なお、高電位側から出力される信号には、高電位側パワーデバイス駆動回路  $HD$  の動作状態等を表す信号などがある。

#### 【0050】

図4に示すように、高電位側パワーデバイス駆動回路HDは、RESURF (Reduced Surface Field) 構造と称される分離構造RSによって囲まれ、低電位側と電氣的に分離されている。

【0051】

このような構造においては、高電位側パワーデバイス駆動回路HDのロジック回路（例えば図1に示すロジックフィルタ8）と、低電位側との信号の授受は、分離構造RS上を跨ぐように配設された高電位配線WR（出力線）を介して行われる。

【0052】

例えば、レベルシフトトランジスタLSTを、図1におけるHNMOSトランジスタ4とすれば、HNMOSトランジスタ4のドレイン電極は高電位配線WRを介して高電位側パワーデバイス駆動回路HD内のロジックフィルタ8に接続されることになる。

【0053】

発明者は、この構造に着目し、高電位配線WRの電位が検出すべき電位V1であることを利用して、この高電位配線WRを電圧検出素子であるMOSトランジスタのゲートとして機能させることで、電位V1、すなわち電位VSを低電位領域で検知するという技術思想に到達した。

【0054】

すなわち、図4に示すように、高電位配線WRが電圧センス部SPの上部を跨ぐように電圧センス部SPを配置し、高電位配線WRをゲート電極とし、その両サイドにソース・ドレイン層を設けることで電圧検出素子としてのMOSトランジスタが形成されるようにした。

【0055】

図5には、図4に示すA-A線での断面構造の一例を示す。

【0056】

図5において、シリコン基板等の半導体基板101（P型不純を比較的低濃度を含む：P<sup>-</sup>）の主面上にエピタキシャル層102（N型不純を比較的低濃度を含む：N<sup>-</sup>）が配設されている。そして、エピタキシャル層102と半導体基板

101との境界部には、双方に跨るように、電界緩和のための埋め込み拡散領域104（N型不純を比較的高濃度に含む：N<sup>+</sup>）が選択的に形成されている。

#### 【0057】

図5においては、高電位側パワーデバイス駆動回路HDを囲む分離構造RSの一部、電圧センス部SP、レベルシフトトランジスタLSTおよび低電位側ロジック回路LLの断面構成を示しており、まず、分離構造RSの構成について説明する。

#### 【0058】

分離構造RSは、エピタキシャル層102の表面に選択的に配設されたフィールド酸化膜107と、フィールド酸化膜107とは間隔を開けてエピタキシャル層102の表面内に配設されたP型拡散領域106（P型不純を比較的高濃度に含む：P<sup>+</sup>）と、フィールド酸化膜107を間に挟んで、P型拡散領域106とは反対側のエピタキシャル層102の表面内に配設されたN型拡散領域118（N<sup>+</sup>）と、フィールド酸化膜107の端縁部上からP型拡散領域106の端縁部上に渡るように配設された低電位ポリシリコンフィールドプレート111と、フィールド酸化膜107上に選択的に複数配設された浮遊電位ポリシリコンフィールドプレート112と、フィールド酸化膜107の端縁部上からN型拡散領域118の端縁部上に渡るように配設された高電位ポリシリコンフィールドプレート113とを有している。

#### 【0059】

このように、電位の異なるプレートを間隔を開けて配設するマルチフィールドプレート構造を採用することで、電界集中を緩和することができる。

#### 【0060】

なお、低電位ポリシリコンフィールドプレート111および高電位ポリシリコンフィールドプレート113はゲート酸化膜GX1の上に配設されている。

#### 【0061】

また、N型拡散領域118は、エピタキシャル層102の主面表面から埋め込み拡散領域104に達するように配設されたN型拡散領域105（N<sup>+</sup>）と部分的に重なるように配設されている。なお、N型拡散領域105は、埋め込み拡散

領域 104 の電位を固定するために設けられている。

#### 【0062】

電圧センス部 SP は、エピタキシャル層 102 の表面に選択的に配設されたフィールド酸化膜 107 と、フィールド酸化膜で覆われたエピタキシャル層 102 の表面内に配設された P 型ウエル領域 114 と、P 型ウエル領域 114 に接して P 型ウエル領域 114 を囲むように配設され、エピタキシャル層 102 の主面表面から半導体基板 1 の表面に達する P 型拡散領域 103 (P<sup>+</sup>) とを備えている。また、P 型ウエル領域 114 より下層には埋め込み拡散領域 104 が配設されている。なお、電圧センス部 SP は、ソース・ドレイン領域を有するが、図 5 に示す断面ではソース・ドレイン領域は現れていない。なお、電圧センス部 SP の詳細な構成については後に説明する。

#### 【0063】

レベルシフトトランジスタ LST は、分離構造 RS と同様にマルチフィールドプレート構造により電界を緩和する構成を採っている。すなわち、エピタキシャル層 102 の表面内に配設された N 型拡散領域 119 (N<sup>+</sup>) をドレイン領域とし、N 型拡散領域 119 とは間隔を開けて、N 型拡散領域 119 を同心円状に囲むようにフィールド酸化膜 107 が配設されている。そして、同心円状のフィールド酸化膜 107 の外周のエピタキシャル層 102 の表面内にはウエル領域となる P 型拡散領域 106 が同心円状に配設され、P 型拡散領域 106 の表面内にはソース領域となる N 型拡散領域 105 (N<sup>+</sup>) が同心円状に配設されている。

#### 【0064】

そして、同心円状のフィールド酸化膜 107 の内側の端縁部上から N 型拡散領域 119 の端縁部上に渡るように高電位ポリシリコンフィールドプレート 113 が配設され、フィールド酸化膜 107 上には浮遊電位ポリシリコンフィールドプレート 112 が同心円状に複数配設され、フィールド酸化膜 107 の内側の端縁部上から N 型拡散領域 105 の端縁部上に渡るように同心円状のゲート電極 109 が配設されている。

#### 【0065】

なお、高電位ポリシリコンフィールドプレート 113 およびゲート電極 109

は、それぞれゲート酸化膜GX1およびGX2の上に配設されている。

【0066】

また、N型拡散領域119は、エピタキシャル層102の主面表面から埋め込み拡散領域104に達するように配設されたN型拡散領域105と部分的に重なるように配設されている。

【0067】

レベルシフトトランジスタLSTと、低電位側ロジック回路LLとの間のエピタキシャル層102の表面には、フィールド酸化膜107が配設され、当該フィールド酸化膜107で覆われたエピタキシャル層102の主面表面から半導体基板1の表面に達するようにP型拡散領域103が配設されている。

【0068】

低電位側ロジック回路LLは機能に合わせて種々の構成を採り、また、その構成は本発明とは関係が薄いので、構成の説明は省略するが、例えば、図5に示すように、エピタキシャル層102の表面内に配設されたP型拡散領域106をソース・ドレイン領域とするようなPMOSトランジスタ等を少なくとも含むことは言うまでもない。

【0069】

そして、エピタキシャル層102の主面全面を覆うように、例えばシリコン酸化膜で形成された層間絶縁膜117が配設されている。

【0070】

レベルシフトトランジスタLSTにおいては、N型拡散領域119（ドレイン領域）に達するように、層間絶縁膜117を貫通するドレイン電極119Dが設けられており、また、N型拡散領域105（ソース領域）に達するように、層間絶縁膜117を貫通するソース電極105Sが設けられている。

【0071】

そして、層間絶縁膜117上には、一方端がドレイン電極119Dに接続され、電圧センス部SPおよび分離構造RSの上部を跨いで他方端が高電位側パワーデバイス駆動回路HD内にまで延在するように設けられた高電位配線WRが設けられている。なお、高電位配線WRは、アルミニウム等の導電体で形成される。

**【0072】**

また、高電位配線WRおよび層間絶縁膜117を覆うように表面保護膜（ガラスコート膜）121が配設されている。

**【0073】**

次に、図6および図7を用いて、電圧センス部SPに図1に示したNMOSトランジスタ21を使用した場合の構成についてさらに説明する。

**【0074】**

図6は、NMOSトランジスタ21の平面構成をさらに詳細に示す平面図であり、便宜的に、エピタキシャル層102の表面内に形成される不純物領域も示している。また、図7は、図4に示すNMOSトランジスタ21のB-B線での断面構成を表す図である。

**【0075】**

図6に示すように、NMOSトランジスタ21は、エピタキシャル層102の表面内に配設されたP型ウエル領域114上に設けられ、高電位配線WRの両側面外方のP型ウエル領域114の表面内には、ソース・ドレイン領域としてN型拡散領域115（N<sup>+</sup>）が選択的に配設されている。なお、P型ウエル領域114はP型拡散領域103で囲まれている。

**【0076】**

そして、N型拡散領域115の上方には、N型拡散領域115に電氣的に接続されるソース・ドレイン電極120が、例えばアルミニウムで形成されている。また、ソース・ドレイン電極120の一方は接地（GND）されている。

**【0077】**

また、図7に示すように、N型拡散領域115の形成領域はフィールド酸化膜107で規定され、フィールド酸化膜107を覆うように層間絶縁膜117が配設されている。高電位配線WRは、ゲート電極として機能するように、2つのN型拡散領域115の端縁部上方に跨るようにフィールド酸化膜107および層間絶縁膜117の上部に配設されている。

**【0078】**

このような構成においては、高電位配線WRの下層の層間絶縁膜117および

フィールド酸化膜 107 がゲート酸化膜として機能し、電圧センス部 SP は、いわゆるフィールドトランジスタを電圧検出素子として備えることになる。

#### 【0079】

すなわち、測定対象となる電位 VS（電位 V1 に近似）は数百 V に達する。一方、通常のロジック回路等で使用される MOS トランジスタは、ゲート酸化膜の厚さが 100 nm 以下であり、電圧検出素子にこの厚さのゲート酸化膜を使用すると絶縁破壊を起こしてしまう。

#### 【0080】

そこで、通常のゲート酸化膜よりも遥かに厚いフィールド酸化膜 107 および層間絶縁膜 117 をゲート酸化膜として用いることで、高電位配線 WR に数百 V が印加されても絶縁破壊を起こさないフィールドトランジスタを得ることができる。

#### 【0081】

ここで、フィールド酸化膜 107 と層間絶縁膜 117 との合計の厚さは、1  $\mu$  m に達する。なお、フィールド酸化膜 107 および層間絶縁膜 117 の一方のみで高電位配線 WR に印加される電圧に耐えられる厚さであれば、フィールド酸化膜 107 および層間絶縁膜 117 の一方だけをゲート酸化膜として用いる構成としても良い。

#### 【0082】

高電位配線 WR に高電圧が印加されると、フィールド酸化膜 107 の下部にあたる P 型ウエル領域 14 の表面が N 型領域に反転し、N 型拡散領域 105 の間にチャネル領域が形成され、NMOS トランジスタがオン状態となって、ドレイン電位が GND となり、HVIC 100 の短絡保護動作が実行される。

#### 【0083】

##### < A-4. 変形例 1 >

なお、これまでの説明においては、電圧検出素子として NMOS トランジスタを使用する例を示したが、電圧検出素子には PMOS トランジスタを使用しても良い。この場合、図 1 に示した抵抗 32 は GND 端子に接続し、PMOS トランジスタのドレインを抵抗 32 に、ソースを VCC 端子に接続し、ドレイン電位 V



2とH I N信号との反転論理積（NAND演算）をとることで、ノードN1の地絡のタイミングに合わせて制御信号S1をオフ信号にすることができる。

#### 【0084】

また、これまでの説明においては、電圧検出素子としてエンハンスメント型MOSトランジスタを使用する例を示したが、電圧検出素子にはデプレッション型MOSトランジスタを使用しても良い。

#### 【0085】

電位VSが負電位になった場合、エンハンスメント型MOSトランジスタでは検出できないが、例えば、デプレッション型NMOSトランジスタであれば、電位VSが負電位になった場合にオフ状態になるので、負の電位VSを検出することが可能となる。

#### 【0086】

##### < A-5. 変形例2 >

また、これまでの説明においては、図1に示したように、HNMOSトランジスタ4のドレイン電位によりオン、オフ制御を行うNMOSトランジスタ21を示したが、図8に示すHVIC100Aのように、HNMOSトランジスタ5のドレイン電位によりオン、オフ制御を行うNMOSトランジスタ22を併せて備えるようにしても良い。

#### 【0087】

この場合、NMOSトランジスタ22のドレイン電極には抵抗33を介してロジック回路電圧VCCが与えられる構成とし、NMOSトランジスタ22のソース電極は接地電位が与えられる構成とする。そしてNMOSトランジスタ22のドレイン電位V22をインターフェース回路1でモニタすることによっても、電位VSを間接的にモニタする構成とする。なお、図8において図1に示したHVIC100と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0088】

このように、電位VSの電圧検出素子を複数備えることで、冗長性を有することになり、電位VSのモニタリングの失敗の可能性を低減できる。

## 【0089】

また、電圧検出素子に冗長性を持たせるという意味では、図1に示した、HN MOSトランジスタ4のドレイン電位によりオン、オフ制御を行うNMOSトランジスタ21と同様のNMOSトランジスタを複数並列に接続して電圧検出素子を奇数個とし、それぞれのドレイン電位を多数決回路の入力に与える。

## 【0090】

ここで、多数決回路は複数の論理ゲートで構成され、入力される信号のうち、過半数を越える論理値を、その出力とする回路である。

## 【0091】

図9に多数決回路の一例として、3入力多数決回路の真理値表を示す。

## 【0092】

図9においては、A、B、Cの3入力に対する出力Yを示しており、過半数を越える論理値が、出力Yの論理値となっていることが判る。

## 【0093】

このような構成とすることで、複数の電圧検出素子のうち、例えば1つが誤動作を起こして誤った論理を出力したとしても、多数決回路からは正常な論理が出力されることになり、電位VSのモニタリングの失敗の可能性をさらに低減できる。

## 【0094】

## &lt; A-6. 変形例3 &gt;

これまでの説明においては、電圧検出素子としてNMOSトランジスタあるいはPMOSトランジスタを使用する例を示したが、図10に示すHVIC100BのようにCMOSトランジスタを使用しても良い。なお、図10において図1に示したHVIC100と同一の構成については同一の符号を付し、重複する説明は省略する。

## 【0095】

図10に示すように、HN MOSトランジスタ4のドレイン電極を、CMOSトランジスタ210の共通ゲート電極に接続し、CMOSトランジスタ210を構成するPMOSトランジスタのソース電極にはロジック回路電圧VCCが与え

られる構成とし、CMOSトランジスタ210を構成するNMOSトランジスタのソース電極は接地電位が与えられる構成としている。そして、CMOSトランジスタ210の出力電位V2をインターフェース回路1でモニタすることで、電位VSを間接的にモニタする構成となっている。

#### 【0096】

このような構成において、電位V1がGND電位になった場合、CMOSトランジスタ210を構成するPMOSトランジスタはオン状態となるが、NMOSトランジスタはオフ状態であることから、CMOSトランジスタ210の出力からはロジック回路電圧VCCが出力されることになり、これと例えばHIN信号との反転論理積（NAND演算）をとることで、ノードN1の地絡のタイミングに合わせて制御信号S1をオフ信号にすることができる。

#### 【0097】

なお、電圧検出素子としてCMOSトランジスタを使用することで、回路電流を低減できる利点を有している。

#### 【0098】

次に、図11～図13を用いて、CMOSトランジスタ210の構成について説明する。

#### 【0099】

図11は、CMOSトランジスタ210の平面構成を示す平面図であり、便宜的に、エピタキシャル層102の表面内に形成される不純物領域も示している。また、図12および図13は、それぞれ図11に示すCMOSトランジスタ210のC-C線およびD-D線での断面構成を表す図である。

#### 【0100】

図11に示すように、CMOSトランジスタ210は、N型拡散領域125（N<sup>+</sup>）で囲まれたエピタキシャル層102上に設けられたPMOSトランジスタP210と、エピタキシャル層102の表面内に配設されたP型ウエル領域114上に設けられたNMOSトランジスタN210とで構成されている。

#### 【0101】

PMOSトランジスタP210において、高電位配線WRの両側面外方のエピ

タキシャル層 102 の表面内には、ソース・ドレイン領域として P 型拡散領域 116 (P<sup>+</sup>) が選択的に配設されている。そして、P 型拡散領域 116 の上方には、P 型拡散領域 116 に電氣的に接続されるソース・ドレイン電極 120 が、例えばアルミニウムで形成されている。なお、ソース・ドレイン電極 120 の一方は NMOS トランジスタ N210 のソース・ドレイン領域にも接続され、CMOS トランジスタの出力となる。

#### 【0102】

なお、中央のエピタキシャル層 102 を囲む N 型拡散領域 125 はエピタキシャル層 102 で囲まれ、エピタキシャル層 102 は P 型拡散領域 103 で囲まれている。

#### 【0103】

NMOS トランジスタ N210 において、高電位配線 WR の両側面外方の P 型ウェル領域 114 の表面内には、ソース・ドレイン領域として P 型拡散領域 115 が選択的に配設されている。そして、N 型拡散領域 115 の上方には、N 型拡散領域 115 に電氣的に接続されるソース・ドレイン電極 120 が、例えばアルミニウムで形成されている。なお、ソース・ドレイン電極 120 の一方は PMOS トランジスタ P210 の P 型拡散領域 116 にも接続されている。なお、エピタキシャル層 102 は P 型拡散領域 103 で囲まれている。

#### 【0104】

また、図 12 および図 13 に示すように、P 型拡散領域 116 の形成領域はフィールド酸化膜 107 で規定され、フィールド酸化膜 107 を覆うように層間絶縁膜 117 が配設されている。高電位配線 WR は、ゲート電極として機能するように、2 つの P 型拡散領域 116 の端縁部上方に跨るようにフィールド酸化膜 107 および層間絶縁膜 117 の上部に配設されている。

#### 【0105】

また、中央のエピタキシャル層 102 を囲む N 型拡散領域 125 は、主面表面から半導体基板 101 に達するように配設されるとともに、埋め込み拡散領域 104 にも接触して、中央のエピタキシャル層 102 を P 型不純物領域から完全に分離している。なお、NMOS トランジスタ N210 の断面構造は、図 7 を用い

て説明したNMOSトランジスタ21と同じであるので説明は省略する。

#### 【0106】

##### <A-7. 変形例4>

これまでの説明においては、1つのレベルの電位VSを検出対象とする構成を示したが、図14に示すHVIC100Cのように、複数のNMOSトランジスタ（ここでは、NMOSトランジスタ21および211）を並列に接続し、それぞれの閾値電圧を異なったものとする事で電位VSの検出レベルを複数に設定することができる。なお、図14において図1に示したHVIC100と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0107】

以下、図15および図16を用いて、NMOSトランジスタ21および211の構成の一例について説明する。

#### 【0108】

##### <A-7-1. ゲート酸化膜の厚さの変更>

図15は、NMOSトランジスタ21および211の平面構成を示す平面図であり、便宜的に、エピタキシャル層102の表面内に形成される不純物領域も示している。また、図16は、図15に示すNMOSトランジスタ21および211のE-E線での断面構成を表す図である。

#### 【0109】

図15に示すように、NMOSトランジスタ21においては、高電位配線WRの両側面外方のP型ウエル領域114の表面内に、ソース・ドレイン領域としてP型拡散領域115が選択的に配設されている。そして、N型拡散領域115の上方には、N型拡散領域115に電氣的に接続されるソース・ドレイン電極120が、例えばアルミニウムで形成されている。なお、ソース・ドレイン電極120の一方は接地されている。

#### 【0110】

一方、NMOSトランジスタ211においては、高電位配線WRよりも下層に、例えばポリシリコンで形成される高電位配線WR1をゲート電極とし、高電位配線WR1の両側面外方のP型ウエル領域114の表面内に、ソース・ドレイン

領域として P 型拡散領域 115 が選択的に配設されている。

#### 【0111】

なお、形成深さの異なる高電位配線 WR および WR1 で、それぞれ材質を変えているが、これは、各層で使用される配線材をそれぞれ使用するという観点に立つもので、製造コストの増加を抑制できるという利点がある。

#### 【0112】

そして、N 型拡散領域 115 の上方には、N 型拡散領域 115 に電氣的に接続されるソース・ドレイン電極 120 が、例えばアルミニウムで形成されている。なお、ソース・ドレイン電極 120 の一方は接地されている。

#### 【0113】

なお、高電位配線 WR と高電位配線 WR1 とはコンタクトホール等で電氣的に接続され、電位的には同じ電位 V1 (図 14) が与えられる。

#### 【0114】

具体的には、図 16 に示すように、NMOS トランジスタ 21 においてはフィールド酸化膜 107 および層間絶縁膜 117 の上部に配設された高電位配線 WR をゲート電極として使用し、フィールド酸化膜 107 および層間絶縁膜 117 をゲート酸化膜として使用する。一方、NMOS トランジスタ 211 においてはフィールド酸化膜 107 の上部に配設された高電位配線 WR1 をゲート電極として使用し、フィールド酸化膜 107 をゲート酸化膜として使用する。これにより、NMOS トランジスタ 21 と 211 とで、それぞれのゲート酸化膜の厚さを異なった厚さとすることができ、電位 VS の検出レベルを複数に設定することができる。

#### 【0115】

すなわち、NMOS トランジスタ 21 および 211 の閾値電圧  $V_{th}$  は、P 型ウエル領域 114 の表面濃度が同一の場合、以下に示す数式 (1) に従って異なった値となり、ゲート酸化膜が厚い高電位配線 WR を使用した NMOS トランジスタの閾値電圧  $V_{th}$  が高くなる。

#### 【0116】

$$V_{th} = \sqrt{(2 \epsilon_s q N A (2 \phi_B)) / C_o + 2 \phi_B} \quad \dots (1)$$

すなわち、単位面積あたりのゲート酸化膜の容量 $C_o$ は、 $C_o = \epsilon_o x / d$ で表される。ここで、 $\epsilon_o x$ は酸化膜の誘電率、 $q$ は電子の電荷量、 $d$ はゲート酸化膜の膜厚であり、ゲート酸化膜の膜厚が大きくなると容量 $C_o$ は小さくなり、閾値電圧 $V_{th}$ が高くなる。

#### 【0117】

なお、上記数式(1)において $\epsilon_s$ は半導体の誘電率、 $N_A$ はP型ウェル領域114の不純物濃度、 $B\phi$ はフェルミポテンシャルである。

#### 【0118】

MOSトランジスタは、設定した閾値電圧 $V_{th}$ の前後でオン／オフ動作するため、ある電位以上または以下の判定しかできない。しかし、HVIC100Cのように、閾値電圧 $V_{th}$ の異なるMOSトランジスタを電圧検出素子として使用することで、電位 $V_S$ の検出レベルを複数に設定することができる。

#### 【0119】

ここで、図17を用いてHVIC100Cにおける電圧検出動作を説明する。

#### 【0120】

図17においては、電位 $V_S$ の変動特性と、電位 $V_S$ の変動に対応してNMOSトランジスタ21および211が動作した場合のドレイン電位 $V_2$ の出力波形を示している。

#### 【0121】

図17に示すように、電位 $V_S$ が高電位HVから接地電位GNDまで、段階的に変化するような場合、まず、電位 $V_S$ がNMOSトランジスタ21の閾値電圧 $V_{th1}$ に達した時点でNMOSトランジスタ21がオフ状態となり、ドレイン電位 $V_2$ がロジック回路電圧VCCとなる。

#### 【0122】

また、電位 $V_S$ がNMOSトランジスタ211の閾値電圧 $V_{th2}$ に達した時点でNMOSトランジスタ211がオフ状態となり、ドレイン電位 $V_2$ がロジック回路電圧VCCとなる。

#### 【0123】

このように、HVIC300においては電位 $V_S$ の検出レベルを3レベルに設

定することができ、電位 $V_S$ が過渡的に変化しているような場合でも、NMOSトランジスタ21および211の出力値の論理和や論理積をとることで、電圧検出が可能となる。

#### 【0124】

なお、NMOSトランジスタ21と211とで、ゲート酸化膜の厚さを変える構成としては、図18および図19に示すような構成を採用しても良い。

#### 【0125】

すなわち、図18においては、NMOSトランジスタ211のゲート電極の配設位置に対応する部分の層間絶縁膜117を異方性エッチング等で選択的に除去し、フィールド酸化膜107を露出させる。その後、NMOSトランジスタ21および211のゲート電極として高電位配線WRを一体構造となるように配設することで、フィールド酸化膜107および層間絶縁膜117をゲート酸化膜として使用するNMOSトランジスタ21、フィールド酸化膜107をゲート酸化膜として使用するNMOSトランジスタ211を得ることができる。

#### 【0126】

また、図19においては、層間絶縁膜117の形成前に、NMOSトランジスタ211のゲート電極の配設位置に対応する部分のフィールド酸化膜107を異方性エッチング等で選択的に除去し、P型ウェル領域114等の活性領域を露出させる。その後、層間絶縁膜117を形成して露出した活性領域を含めてエピタキシャル層102の主面全面を覆った後、NMOSトランジスタ21および211のゲート電極として高電位配線WRを一体構造となるように配設することで、フィールド酸化膜107および層間絶縁膜117をゲート酸化膜として使用するNMOSトランジスタ21、層間絶縁膜117をゲート酸化膜として使用するNMOSトランジスタ211を得ることができる。

#### 【0127】

なお、図16および図18に示すNMOSトランジスタ211の構成は、実施の形態1において説明した、フィールド酸化膜107だけをゲート酸化膜として用いる構成に相当し、図19に示すNMOSトランジスタ211の構成は、層間絶縁膜117だけをゲート酸化膜として用いる構成に相当する。



## 【0128】

このように、NMOSトランジスタ21と211とで高電位配線WRを一体構造とすることで、配線間の接続が不要となり、製造工程を簡略化できる。

## 【0129】

なお、上記においてはNMOSトランジスタ21および211の2個のMOSトランジスタを使用する例を示したが、MOSトランジスタは2個に限定されるものではなく、複数のMOSトランジスタのそれぞれのゲート酸化膜の厚さを変えることで、電位VSの検出レベルの値をさらに増やすことができる。

## 【0130】

< A-7-2. ウエル領域の不純物濃度の変更 >

また、NMOSトランジスタ21および211のそれぞれの閾値電圧を異なったものとするには、ゲート酸化膜の厚さを異なったものとする以外に、それぞれのP型ウエル領域114の不純物濃度を異なったものとする構成として良い。

## 【0131】

すなわち上述した数式(1)で表されるように、閾値電圧 $V_{th}$ は、P型ウエル領域114の不純物濃度NAによって制御できるので、NMOSトランジスタ21および211のそれぞれのP型ウエル領域114の製造プロセス(チャネルドープ工程)において、NMOSトランジスタ21のP型ウエル領域114の表面近傍の不純物濃度を、NMOSトランジスタ211よりも高くするように調整することで、いわゆるチャネル領域の不純物濃度をNMOSトランジスタ21と211とで異ならせ、両者の閾値電圧を異なったものとすることができる。

## 【0132】

例えば、NMOSトランジスタ21および211のそれぞれのP型ウエル領域114に同じ濃度のボロンイオン(P型不純物)を注入した後、NMOSトランジスタ211のP型ウエル領域114のみにリンイオン(N型不純物)を注入することで、表面のP型不純物濃度を下げることができ、NMOSトランジスタ211の閾値電圧を低下させることができる。

## 【0133】

このように、不純物濃度を調整して閾値電圧を制御することで、閾値電圧を広範囲に、かつ精度良く変化させることができるので、電位  $V_S$  が変動する場合に、複数の検出レベルを容易に設定できる利点を有する。

#### 【0134】

##### < A-8. 変形例 5 >

図 7 を用いて説明した NMOS トランジスタ 21 の断面構成においては、埋め込み拡散領域 104 の面積が P 型ウエル領域 114 より小さく、P 型ウエル領域 114 を取り囲む P 型拡散領域 103 が、半導体基板 1 の表面に達するように配設されていたので、P 型ウエル領域 114 は電氣的には半導体基板 101 とは分離されていなかった。これは、P 型ウエル領域 114 の電位を半導体基板 101 の電位に固定するための構成であった。

#### 【0135】

しかし、P 型ウエル領域 114 を半導体基板 101 から電氣的に分離す構成とすることで、NMOS トランジスタ 21 の閾値電圧を電氣的に変化させることが可能となる。

#### 【0136】

以下、図 20 および図 21 を用いて、NMOS トランジスタ 21 の閾値電圧を電氣的に変化させる構成の一例について説明する。

#### 【0137】

図 20 は、NMOS トランジスタ 21 の平面構成を示す平面図であり、便宜的に、エピタキシャル層 102 の表面内に形成される不純物領域も示している。また、図 21 は、図 20 に示す NMOS トランジスタ 21 の F-F 線での断面構成を表す図である。なお、図 20 および図 21 において、図 7 に示す NMOS トランジスタ 21 と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0138】

図 20 に示すように、NMOS トランジスタ 21 は、エピタキシャル層 102 の表面内に配設された P 型ウエル領域 114 上に設けられ、高電位配線 WR の両側面外方の P 型ウエル領域 114 の表面内には、ソース・ドレイン領域として N

型拡散領域 115 が選択的に配設されている。P 型ウエル領域 114 は P 型拡散領域 103 で囲まれ、P 型拡散領域 103 は N 型拡散領域 125 で囲まれ、N 型拡散領域 125 はエピタキシャル層 102 で囲まれ、エピタキシャル層 102 は P 型拡散領域 103 で囲まれている。

#### 【0139】

そして、N 型拡散領域 115 の上方には、N 型拡散領域 115 に電氣的に接続されるソース・ドレイン電極 120 が、例えばアルミニウムで形成されている。なお、ソース・ドレイン電極 120 の一方は接地 (GND) されている。

#### 【0140】

また、P 型ウエル領域 114 の上方には、P 型ウエル領域 114 に電氣的に接続される電位制御電極 130 が例えばアルミニウムで形成されている。

#### 【0141】

また、図 21 に示すように、埋め込み拡散領域 104 の面積が P 型ウエル領域 114 より大きく、P 型拡散領域 103 は埋め込み拡散領域 104 の表面に達するように配設されている。そして、N 型拡散領域 125、エピタキシャル層 102 および最外周の P 型拡散領域 103 は、何れも半導体基板 101 の表面に達するように配設されており、P 型ウエル領域 114 は半導体基板 101 から電氣的に完全に分離されている。

#### 【0142】

このような構成を採ることで、電位制御電極 130 を介して P 型ウエル領域 114 にバイアス電圧を印加することで、P 型ウエル領域 114 の電位を任意に制御することができ、閾値電圧を電氣的に変化させることが可能となる。

#### 【0143】

P 型ウエル領域 114 に印加するバイアス電圧  $V_{BS}$  と閾値電圧の変化幅  $\Delta V_{th}$  との関係を下記の数式 (2) に示す。

#### 【0144】

$$\Delta V_{th} = \sqrt{(2 \epsilon_s q N A) / C_o} \cdot (\sqrt{(2 \phi_B + V_{BS})} - \sqrt{(2 \phi_B)})$$

・・・ (2)

また、図 22 には、P 型ウエル領域 114 に印加するバイアス電圧  $V_{BS}$  が異

なる場合の、閾値電圧  $V_{th}$  とドレイン電流  $I_d$  の平方根との関係を示す。

【0145】

MOSトランジスタの理論式によれば、飽和電流領域のドレイン電流は、ゲート電圧の2乗に比例して増加するので、バイアス電圧  $V_{BS}$  を所定値に固定し、飽和電圧領域のドレイン電圧を印加した状態でゲート電圧を変化させ、そのときのドレイン電流の平方根をプロットすることで図22に示す特性の1つを得ることができる。なお、 $\sqrt{I_d} = 0$  となるゲート電圧の値が閾値電圧  $V_{th}$  と定義されるので、図22においては横軸を閾値電圧  $V_{th}$  として表示している。

【0146】

図22によれば、バイアス電圧  $V_{BS}$  を0V、-1V、-4Vおよび-16Vに設定した場合の特性を示しており、バイアス電圧  $V_{BS}$  を調整することで閾値電圧  $V_{th}$  を制御できることが明示されている。

【0147】

従って、NMOSトランジスタ21の構成として、図20および図21に示す構成を採用し、P型ウエル領域114に印加するバイアス電圧  $V_{BS}$  を変化させ、NMOSトランジスタ21がオフ動作するバイアス電圧  $V_{BS}$  をモニタすることで、電位  $V_S$  に適した検出レベルを設定することができる。

【0148】

なお、実際に、NMOSトランジスタ21がオフ動作するバイアス電圧  $V_{BS}$  を取得する作業は、HVIC100のウエハレベルでの製造工程が完了し、当該ウエハの電気特性テスト時に行い、電位  $V_S$  に相当する電圧を外部からノードN1（図1）に与え、そのときにNMOSトランジスタ21がオフ動作するバイアス電圧  $V_{BS}$  を測定する。

【0149】

そして、HVICの動作中には、このバイアス電圧  $V_{BS}$  が常にP型ウエル領域114に印加されるように、例えば、図23に示すHVIC100Dのようにバイアス電圧出力回路90を内蔵した構成とする。

【0150】

ここで、バイアス電圧出力回路90の構成の一例を図24に示す。

**【0151】**

図24に示すように、バイアス電圧出力回路90は、ロジック回路電圧VCCを電源として基準電圧Vrefを発生する基準電圧発生部30と、基準電圧Vrefを抵抗分割することでバイアス電圧VBSを生成する可変抵抗R1およびR2と、可変抵抗R1およびR2の抵抗値を調整する抵抗調整回路50と、抵抗調整回路50の制御プログラムを記憶したEPROMなどのメモリデバイス部40とを有している。

**【0152】**

メモリデバイス部40には、バイアス電圧VBSを調整するために、可変抵抗R1およびR2の抵抗値とバイアス電圧VBSとの関係に基づいて抵抗調整回路50を制御するプログラムが記憶されており、例えば、HVIC100Dが動作を開始した情報をメモリデバイス部40が受けると、自動的に制御プログラムが抵抗調整回路50に与えられるように構成されている。

**【0153】**

このように、バイアス電圧VBSを調整するためのバイアス電圧出力回路90を備えることで、電圧検出素子の製造上のバラツキに起因する閾値電圧の特性変動を調整でき、冗長性を持たせるために、複数の電圧検出素子を準備する必要がなく、装置面積を縮小できる利点を有する。

**【0154】**

また、製造条件を変えことなく電圧検出素子の閾値電圧の設定を容易に行うことができる。

**【0155】**

また複数の同一構造のMOSトランジスタに対して、それぞれ異なる閾値電圧を設定できるので、図15を用いて説明したような、電位VSの検出レベルを複数に設定することができる構成を、同一構造のMOSトランジスタで構成できる。

**【0156】****< B. 実施の形態2 >****< B-1. 装置構成および動作 >**

図 25 に、本発明に係る実施の形態 2 として、HVIC200 の構成を示す。  
なお、図 25 においては、図 1 に示した HVIC100 と同一の構成については  
同一の符号を付し、重複する説明は省略する。

【0157】

図 1 を用いて説明した HVIC100 においては、電圧検出素子が低電位領域  
に配設された構成を示したが、図 25 に示す HVIC200 においては、電圧検  
出素子を高電位側パワーデバイス駆動回路 HD 内に配設し、検出結果をロジック  
フィルタ 8 に与えることで、地絡により電位 VS が接地電位になったような場合  
には、高電位側のゲートドライバーの出力 HO を停止する構成となっている。

【0158】

図 25 において、高電位側パワーデバイス駆動回路 HD 内に設けられ、高電位  
側パワーデバイス駆動回路 HD からの信号を低電位側に逆レベルシフトする HP  
MOS トランジスタ 51 のドレイン電極に、電圧検出素子である PMOS トラン  
ジスタ 23 のゲート電極を接続し、PMOS トランジスタ 23 のドレイン電極は  
抵抗 34 を介してノード N1 に接続されている。なお、PMOS トランジスタ 2  
3 のソース電極は、PMOS トランジスタ 24 のソース電極側、すなわちキャパ  
シタ 10 の一方の電極に接続されている。

【0159】

HPMOS トランジスタ 51 のソース電極は、PMOS トランジスタ 24 のソ  
ース電極側、すなわちキャパシタ 10 の一方の電極に接続され、HPMOS トラ  
ンジスタ 51 のドレイン電極は、低電位側に設けられた抵抗 35 を介して接地さ  
れている。従って、HPMOS トランジスタ 51 がオン状態となると、低電位配  
線 WR2 (出力線) を通して低電位側にドレイン電流が供給される。この、低電  
位配線 WR2 に電位 V3 が生じるように抵抗 35 が接続されており、この電位 V  
3 をインターフェース回路 1 に与えることで、高電位側パワーデバイス駆動回路  
HD からの信号が低電位側に逆レベルシフトされたことになる。なお、HPMO  
S トランジスタ 51 のゲート電極にはパルス発生回路 PG からパルス信号が与え  
られる構成となっており、当該パルス信号に基づいて低電位側への信号を送信し  
ている。

## 【0160】

なお、HPMOSトランジスタ51などの高耐圧トランジスタを高電位側に設け、逆レベルシフトトランジスタとして使用することは従来から行われているが、発明者は、HPMOSトランジスタ51のドレイン電位V3を電位VSにほぼ等しいと見なすことができることに着目し、電位V3をモニタすることで電位VSを検知するという技術思想に到達した。

## 【0161】

すなわち、低電位配線WR2の電位は上述したように低電位側回路に接続されるので、基本的にGNDに近い電位となっている。このため高電位側パワーデバイス駆動回路HDにおいてノードN1の電位VSが、例えば地絡により接地電位になったような場合には、PMOSトランジスタ23はオフ状態となり、ドレイン電位V4はそのときの電位VS、すなわちGNDに等しくなり、PMOSトランジスタ23の出力は「LOW」となる。

## 【0162】

一方、ノードN1の電位VSが高電位HVとなると、PMOSトランジスタ23はオン状態となり、ドレイン電位V4はそのときの電位VS、すなわちHVに等しくなり、PMOSトランジスタ23の出力は「High」となる。

## 【0163】

このように、PMOSトランジスタ23を設けることで、高電位側パワーデバイス駆動回路HD内において電位VSをモニタすることが可能となる。

## 【0164】

## &lt;B-2. 具体的構成例&gt;

次に、HVIC200の具体的な構成の一例について図26および図27を用いて説明する。

## 【0165】

図26は、HVIC200のうち、高電位側パワーデバイス駆動回路HD、PMOSトランジスタ23などの電圧検出素子が配設された電圧センス部SPH、HPMOSトランジスタ51などの高耐圧のレベルシフトトランジスタLSTH、ロジックフィルタ8などの高電位側ロジック回路HLおよび低電位側ロジック

回路 LL の半導体基板主面上での平面配置を示す平面図である。なお、図 26 は模式的に示された図であり、各構成の大きさや配設間隔は現実の装置とは異なる。なお、図 4 に示した HVIC100 と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0166】

図 26 に示すように、高電位側パワーデバイス駆動回路 HD 内のレベルシフトトランジスタ LSTH から低電位側ロジック回路 LL まで延在する低電位配線 WR2 が、電圧センス部 SPH の上部を跨ぐように電圧センス部 SPH を配置し、低電位配線 WR2 をゲート電極とし、その両サイドにソース・ドレイン層を設けることで電圧検出素子としての MOS トランジスタが形成されるようにした。

#### 【0167】

図 27 には、図 26 に示す G-G 線での断面構造の一例を示す。なお、図 27 において、図 5 に示した HVIC100 と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0168】

図 27 においては、レベルシフトトランジスタ LSTH、電圧センス部 SPH、高電位側パワーデバイス駆動回路 HD を囲む分離構造 RS の一部、および低電位側ロジック回路 LL の断面構成を示しており、まず、レベルシフトトランジスタ LSTH の構成について説明する。

#### 【0169】

レベルシフトトランジスタ LSTH は、分離構造 RS と同様にマルチフィールドプレート構造により電界を緩和する構成を採っている。すなわち、エピタキシャル層 102 の表面内に円環状に配設された P 型拡散領域 126 (P+) をドレイン領域とし、P 型拡散領域 126 は間隔を開けて、P 型拡散領域 126 を同心円状に囲むようにフィールド酸化膜 107 が配設されている。そして、同心円状のフィールド酸化膜 107 の外周のエピタキシャル層 102 の表面内にはソース領域となる P 型拡散領域 106 が同心円状に配設され、P 型拡散領域 106 の外縁に接するように、同心円状に N 型拡散領域 118 (N+) が配設されている。なお、P 型拡散領域 126 の外周端縁部からフィールド酸化膜 107 の底面全域



を覆うようにP型不純物領域135が設けられている。

【0170】

そして、同心円状のフィールド酸化膜107の内側の端縁部上からP型拡散領域126の端縁部上に渡るように低電位ポリシリコンフィールドプレート111が配設され、フィールド酸化膜107上には浮遊電位ポリシリコンフィールドプレート112が同心円状に複数配設され、フィールド酸化膜107の外側の端縁部上からP型拡散領域106の端縁部上に渡るように同心円状のゲート電極109が配設されている。

【0171】

なお、低電位ポリシリコンフィールドプレート111およびゲート電極109は、それぞれゲート酸化膜GX1およびGX2の上に配設されている。

【0172】

また、N型拡散領域118は、エピタキシャル層102の主面表面から埋め込み拡散領域104に達するように配設されたN型拡散領域105と部分的に重なるように配設されている。

【0173】

電圧センス部SPHは、エピタキシャル層102の表面に選択的に配設されたフィールド酸化膜107と、エピタキシャル層102の表面から埋め込み拡散領域104(N<sup>+</sup>)に達するように設けられ、MOSトランジスタの活性領域を規定するP型拡散領域103(P<sup>+</sup>)とを備えている。

【0174】

また、電圧センス部SPHの配設領域に対応するように、埋め込み拡散領域104が配設されている。

【0175】

分離構造RSは、エピタキシャル層102の表面に高電位側パワーデバイス駆動回路HDを囲むように配設されたフィールド酸化膜107と、フィールド酸化膜107とは間隔を開けてエピタキシャル層102の表面内に配設されたP型拡散領域106(P<sup>+</sup>)と、フィールド酸化膜107を間に挟んで、P型拡散領域106とは反対側のエピタキシャル層102の表面内に配設されたN型拡散領域

118と、フィールド酸化膜107の端縁部上からP型拡散領域106の端縁部に渡るように配設された低電位ポリシリコンフィールドプレート111と、フィールド酸化膜107上に選択的に複数配設された浮遊電位ポリシリコンフィールドプレート112と、フィールド酸化膜107の端縁部上からN型拡散領域118の端縁部に渡るように配設された高電位ポリシリコンフィールドプレート113とを有している。

#### 【0176】

レベルシフトトランジスタLSTHと、低電位側ロジック回路LLとの間のエピタキシャル層102の表面には、フィールド酸化膜107が配設され、当該フィールド酸化膜107で覆われたエピタキシャル層102の主面表面から半導体基板1の表面に達するようにP型拡散領域103が配設されている。

#### 【0177】

そして、エピタキシャル層102の主面全面を覆うように層間絶縁膜117が配設されている。

#### 【0178】

レベルシフトトランジスタLSTHにおいては、P型拡散領域126（ドレイン領域）に達するように、層間絶縁膜117を貫通するドレイン電極126Dが設けられており、また、P型拡散領域106（ソース領域）に達するように、層間絶縁膜117を貫通するソース電極106Sが設けられている。

#### 【0179】

そして、層間絶縁膜117上には、一方端がドレイン電極126Dに接続され、電圧センス部SPHおよび分離構造RSの上部を跨いで他方端が低電位側ロジック回路LL内にまで延在するように設けられた高電位配線WR2が設けられている。なお、高電位配線WR2は、アルミニウム等の導電体で形成される。

#### 【0180】

また、高電位配線WR2および層間絶縁膜117を覆うように表面保護膜（ガラスコート膜）121が配設されている。

#### 【0181】

< B-3. 特徴的效果 >

以上説明したように、HVIC200においては高電位側パワーデバイス駆動回路HD内において電位VSをモニタすることが可能となるので、電位VSが異常であることを検出した場合には、その情報をロジックフィルタ8などの高電位側ロジック回路HLに与えることで、即座にオフ信号を出力させることができ、電位VSの検出から高電位側パワーデバイスの停止までの時間を短縮することができる。

#### 【0182】

##### <C. 実施の形態3>

##### <C-1. 装置構成および動作>

図28に、本発明に係る実施の形態3として、HVIC300の構成を示す。なお、図28においては、図1に示したHVIC100と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0183】

図1を用いて説明したHVIC100においては、電圧検出素子のゲート電極として、レベルシフトトランジスタのドレイン配線を使用する例を示したが、図28に示すHVIC300においては、電圧検出素子のゲート電極として専用の高電位配線WR3（出力線）を使用する。

#### 【0184】

すなわち、図28に示すように、キャパシタ10の一方の電極に接続され、電位VBが与えられる高電位配線WR3を、高電位側パワーデバイス駆動回路HD内から低電位側まで引き出し、低電位側に設けた電圧検出素子であるNMOSトランジスタ21のゲート電極として使用する。

#### 【0185】

ここで、NMOSトランジスタ21のドレイン電極には、抵抗32を介してロジック回路電圧VCCが与えられ、NMOSトランジスタ21のソース電極は接地（GND）され、NMOSトランジスタ21のドレイン電位V2がインターフェース回路1に与えられることはHVIC100と同じである。

#### 【0186】

##### <C-2. 具体的構成例>

次に、H V I C 3 0 0 の具体的な構成の一例について図 2 9 および図 3 0 を用いて説明する。

【 0 1 8 7 】

図 2 9 は、H V I C 3 0 0 のうち、高電位側パワーデバイス駆動回路 H D、N M O S トランジスタ 2 1 などの電圧検出素子が配設された電圧センス部 S P、および低電位側ロジック回路 L L の半導体基板主面上での平面配置を示す平面図である。なお、図 2 9 は模式的に示された図であり、各構成の大きさや配設間隔は現実の装置とは異なる。

【 0 1 8 8 】

図 2 9 において、高電位配線 W R 3 は、一方端が電位 V B が与えられる所定のパッド P D に接続され、分離構造 R S 上および電圧センス部 S P の上部を跨ぐように引き出されている。ここで、電圧センス部 S P は低電位側の半導体素子が配置されていない非配置領域 N R に配設されている。

【 0 1 8 9 】

すなわち、高電圧が印加される高電位配線 W R 3 に低電位側の半導体素子が接して配置されると、ウエハ表面で放電現象を起こし低電位側の半導体素子に不具合が発生するが、電圧センス部 S P を非配置領域 N R に配設することで、このような不具合の発生を防止できる。

【 0 1 9 0 】

図 3 0 には、図 2 9 に示す H - H 線での断面構造の一例を示す。なお、図 3 0 において、図 5 に示した H V I C 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 9 1 】

図 3 0 においては、高電位側パワーデバイス駆動回路 H D を囲む分離構造 R S の一部、電圧センス部 S P および低電位側ロジック回路 L L の断面構成を示しているが、分離構造 R S、電圧センス部 S P および低電位側ロジック回路 L L の構成については基本的には H V I C 1 0 0 と同一なので、同じ構成の説明は省略する。

【 0 1 9 2 】

図30に示すように、高電位配線WR3の一方端は、高電位側パワーデバイス駆動回路HD内の電位VBが与えられる所定のパッドPDHに接続され、電圧センス部SPの上部まで延在して、ゲート電極として機能するように配設されている。

#### 【0193】

なお、電圧センス部SPのエピタキシャル層102上を覆うフィールド酸化膜107は非配置領域NRに対応するエピタキシャル層102上も併せて覆っている。

#### 【0194】

##### < C-3. 特徴的效果 >

以上説明したように、HVIC300においては、HVIC100と同様に低電位側において電位VSをモニタすることが可能となるので、短絡状態にあるパワーデバイス12の制御信号HOを停止して、パワーデバイス12をオフ状態にすることができ、短絡保護を行うことができる。

#### 【0195】

また、電圧検出素子のゲート電極として、専用の高電位配線WR3を使用するので、電圧検出素子の配置の自由度が増すことになる。

#### 【0196】

##### < D. 実施の形態4 >

##### < D-1. 装置構成および動作 >

図31に、本発明に係る実施の形態4として、HVIC400の構成を示す。なお、図31においては、図25に示したHVIC200と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【0197】

実施の形態3において説明したHVIC300では、電圧検出素子を低電位側に設け、高電位側から専用の高電位配線WR3を引き出して電圧検出素子のゲート電極として使用する構成を示したが、図31に示すHVIC400では、電圧検出素子を高電位側パワーデバイス駆動回路HD内に設け、低電位側から専用の低電位配線WR4（出力線）を引き込んで電圧検出素子のゲート電極として使用

する。

#### 【0198】

すなわち、図31に示すように、接地電位に接続された低電位配線WR4を、高電位側パワーデバイス駆動回路HD内に引き込み、PMOSトランジスタ23のゲート電極として使用する。なお、PMOSトランジスタ23のドレイン電極は抵抗34を介してノードN1に接続されるとともに、ドレイン電位がロジックフィルタ8に与えられる構成となっている。PMOSトランジスタ23のソース電極は、PMOSトランジスタ24のソース電極側、すなわちキャパシタ10の一方の電極に接続され、電位VBが与えられる構成となっている。

#### 【0199】

このような構成において、低電位配線WR4の電位は上述したように低電位側回路に接続されるので、基本的にGNDに近い電位となっている。このため高電位側パワーデバイス駆動回路HDにおいてノードN1の電位VSが、例えば地絡により接地電位になったような場合には、PMOSトランジスタ23はオフ状態となり、ドレイン電位V4はそのときの電位VS、すなわちGNDに等しくなり、PMOSトランジスタ23の出力は「LOW」となる。

#### 【0200】

一方、ノードN1の電位VSが高電位HVとなると、PMOSトランジスタ23はオン状態となり、ドレイン電位V4はそのときの電位VS、すなわちHVに等しくなり、PMOSトランジスタ23の出力は「High」となる。この場合、電位VSと電位VBとで電位差を保持するように抵抗34の抵抗値を設定する。

#### 【0201】

このように、PMOSトランジスタ23を設けることで、高電位側パワーデバイス駆動回路HD内において電位VSをモニタすることが可能となる。

#### 【0202】

##### < D-2. 具体的構成例 >

次に、HVIC400の具体的な構成の一例について図32および図33を用いて説明する。

**【 0 2 0 3 】**

図 3 2 は、H V I C 4 0 0 のうち、高電位側パワーデバイス駆動回路 H D、P M O S トランジスタ 2 3 などの電圧検出素子が配設された電圧センス部 S P H、および高電位側ロジック回路 H L の半導体基板主面上での平面配置を示す平面図である。なお、図 3 2 は模式的に示された図であり、各構成の大きさや配設間隔は現実の装置とは異なる。

**【 0 2 0 4 】**

図 3 2 において、低高電位配線 W R 4 は、一方端が接地電位 G N D が与えられる所定のパッド P D L に接続され、分離構造 R S 上および電圧センス部 S P の上部を跨ぐように高電位側パワーデバイス駆動回路 H D 内に引き込まれている。ここで、電圧センス部 S P H は高電位側の半導体素子が配置されていない非配置領域 N R に配設されている。

**【 0 2 0 5 】**

すなわち、低電位配線 W R 4 に高電位側の半導体素子が接して配置されると、ウエハ表面で放電現象を起こし高電位側の半導体素子に不具合が発生するが、電圧センス部 S P H を非配置領域 N R に配設することで、このような不具合の発生を防止できる。

**【 0 2 0 6 】**

図 3 3 には、図 3 2 に示す I - I 線での断面構造の一例を示す。なお、図 3 3 において、図 2 7 に示した H V I C 2 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

**【 0 2 0 7 】**

図 3 3 においては、高電位側パワーデバイス駆動回路 H D を囲む分離構造 R S の一部および電圧センス部 S P H の断面構成を示しているが、分離構造 R S、電圧センス部 S P H の構成については基本的には H V I C 2 0 0 と同一なので、同じ構成の説明は省略する。

**【 0 2 0 8 】**

図 3 3 に示すように、低電位配線 W R 4 の一方端は、接地電位 G N D が与えられる所定のパッド P D L に接続され、電圧センス部 S P H の上部まで延在して、

ゲート電極として機能するように配設されている。

#### 【0209】

なお、電圧センス部SPHのエピタキシャル層102上を覆うフィールド酸化膜107は非配置領域NRに対応するエピタキシャル層102上も併せて覆っている。

#### 【0210】

##### < D-3. 特徴的效果 >

以上説明したように、HVIC400においては、HVIC200と同様に高電位側において電位VSをモニタすることが可能となるので、電位VSが異常であることを検出した場合には、その情報をロジックフィルタ8などの高電位側ロジック回路HLに与えることで、即座にオフ信号を出力させることができ、電位VSの検出から高電位側パワーデバイスの停止までの時間を短縮することができる。

#### 【0211】

また、電圧検出素子のゲート電極として、専用の低電位配線WR4を使用するので、電圧検出素子の配置の自由度が増すことになる。

#### 【0212】

なお、以上説明した実施の形態2～4で使用する電圧検出素子は、実施の形態1の変形例3～5で説明した構成を採用しても良いことは言うまでもない。

#### 【0213】

##### 【発明の効果】

本発明に係る請求項1記載の半導体装置によれば、低電位部に配設された電圧検出素子によって第1および第2のレベルシフト部のうち、少なくとも1方の出力線の電位、すなわち高電位の主電源電位を検出することができるので、第1および第2のスイッチングデバイスの接続ノードが地絡した場合には、そのタイミングに合わせて第2のパルス信号を発生させるなどして、高電位側スイッチングデバイスを非導通状態にすることができ、高電位側スイッチングデバイスに対する短絡保護機能を低コストで実現できる。

#### 【0214】



本発明に係る請求項 2 記載の半導体装置によれば、高電位部に配設された電圧検出素子によって逆レベルシフト部の出力線の電位、すなわち高電位の主電源電位を検出することができるので、第 1 および第 2 のスイッチングデバイスの接続ノードが地絡した場合には、そのタイミングに合わせて制御部から高電位側スイッチングデバイスを非導通状態にする制御を行うことで、即座に高電位側スイッチングデバイスを非導通状態にすることができ、高電位側スイッチングデバイスに対する効果的な短絡保護を行うことができる。

#### 【0215】

本発明に係る請求項 3 記載の半導体装置によれば、高電位部から延在し、高電位の主電源電位を出力する出力線の電位を検出、すなわち高電位の主電源電位を検出することができるので、第 1 および第 2 のスイッチングデバイスの接続ノードが地絡した場合には、そのタイミングに合わせて第 2 のパルス信号を発生させるなどして、高電位側スイッチングデバイスを非導通状態にすることができ、高電位側スイッチングデバイスに対する短絡保護を行うことができる。また、高電位部から延在する出力線の電位を検出するので、電圧検出素子の配置の自由度が増すことになる。

#### 【0216】

本発明に係る請求項 5 記載の半導体装置によれば、第 1 および第 2 のスイッチングデバイスの接続ノードの電位を検出して高電位側スイッチングデバイスの導通／非導通を制御する電圧検出素子を高電位部に備えるので、第 1 および第 2 のスイッチングデバイスの接続ノードが地絡した場合には、そのタイミングに合わせて制御部から高電位側スイッチングデバイスを非導通状態にする制御を行うことで、即座に高電位側スイッチングデバイスを非導通状態にすることができ、高電位側スイッチングデバイスに対する効果的な短絡保護を行うことができる。

#### 【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の H V I C の回路構成を説明する図である。

【図 2】 本発明に係る実施の形態 1 の H V I C の動作を説明するタイミングチャートである。

【図 3】 本発明に係る実施の形態 1 の H V I C の動作を説明するタイミングチャートである。

【図 4】 本発明に係る実施の形態 1 の H V I C の構成を説明する平面図である。

【図 5】 本発明に係る実施の形態 1 の H V I C の構成を説明する断面図である。

【図 6】 本発明に係る実施の形態 1 の H V I C の電圧検出素子の構成を説明する平面図である。

【図 7】 本発明に係る実施の形態 1 の H V I C の電圧検出素子の構成を説明する断面図である。

【図 8】 本発明に係る実施の形態 1 の H V I C の変形例の回路構成を説明する図である。

【図 9】 多数決回路の動作を説明する図である。

【図 10】 本発明に係る実施の形態 1 の H V I C の変形例の回路構成を説明する図である。

【図 11】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する平面図である。

【図 12】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する断面図である。

【図 13】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する断面図である。

【図 14】 本発明に係る実施の形態 1 の H V I C の変形例の回路構成を説明する図である。

【図 15】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する平面図である。

【図 16】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する断面図である。

【図 17】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の動作を説明する図である。

【図 18】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する断面図である。

【図 19】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する断面図である。

【図 20】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する平面図である。

【図 21】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の構成を説明する断面図である。

【図 22】 本発明に係る実施の形態 1 の H V I C の変形例の電圧検出素子の動作を説明する図である。

【図 23】 本発明に係る実施の形態 1 の H V I C の変形例の回路構成を説明する図である。

【図 24】 バイアス電圧出力回路の構成を説明する図である。

【図 25】 本発明に係る実施の形態 2 の H V I C の回路構成を説明する図である。

【図 26】 本発明に係る実施の形態 2 の H V I C の構成を説明する平面図である。

【図 27】 本発明に係る実施の形態 2 の H V I C の構成を説明する断面図である。

【図 28】 本発明に係る実施の形態 3 の H V I C の回路構成を説明する図である。

【図 29】 本発明に係る実施の形態 3 の H V I C の構成を説明する平面図である。

【図 30】 本発明に係る実施の形態 3 の H V I C の構成を説明する断面図である。

【図 31】 本発明に係る実施の形態 4 の H V I C の回路構成を説明する図である。

【図 32】 本発明に係る実施の形態 4 の H V I C の構成を説明する平面図である。

【図 3 3】 本発明に係る実施の形態 4 の H V I C の構成を説明する断面図である。

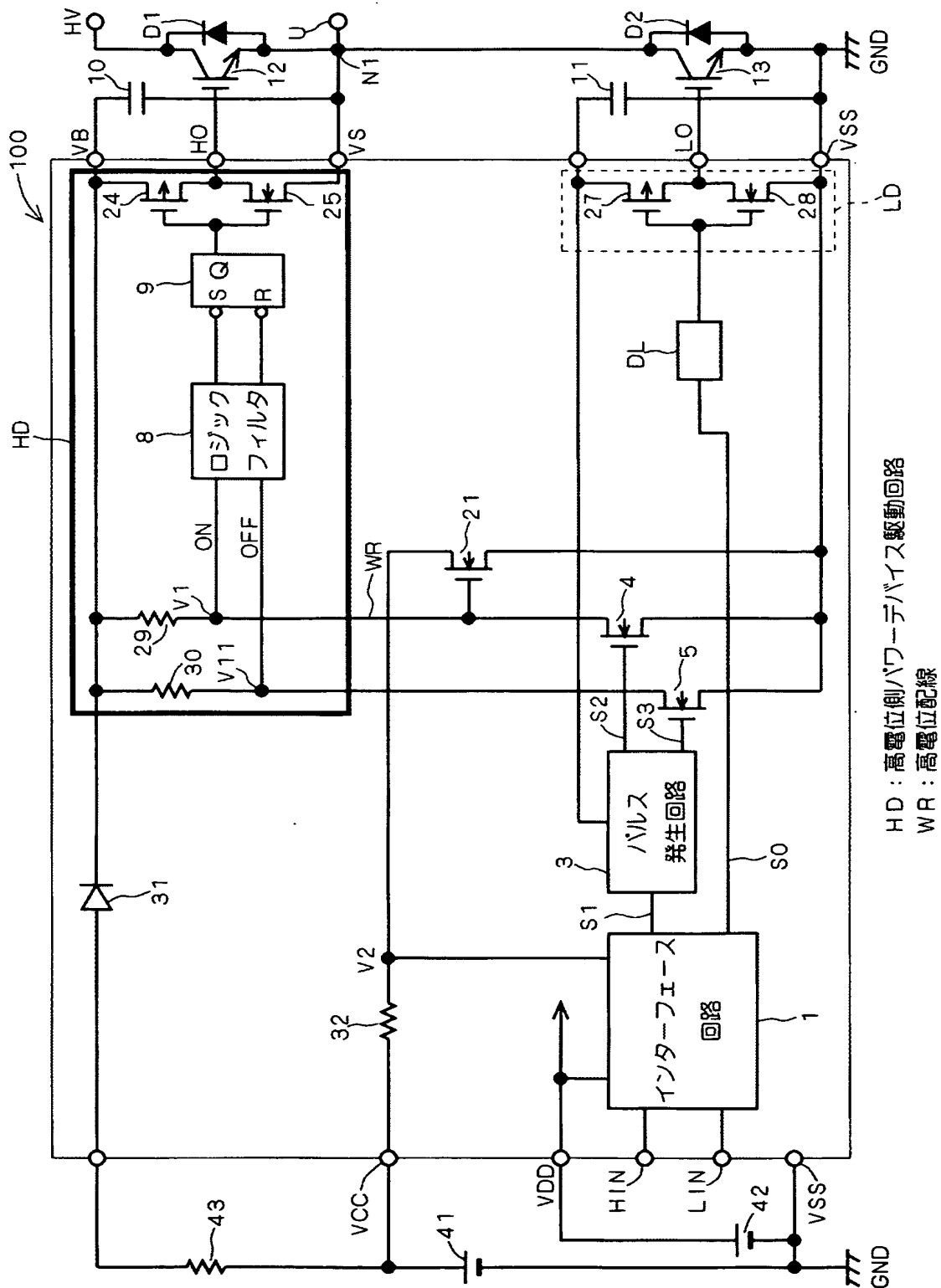
【符号の説明】

H D 高電位側パワーデバイス駆動回路、W R 高電位配線。

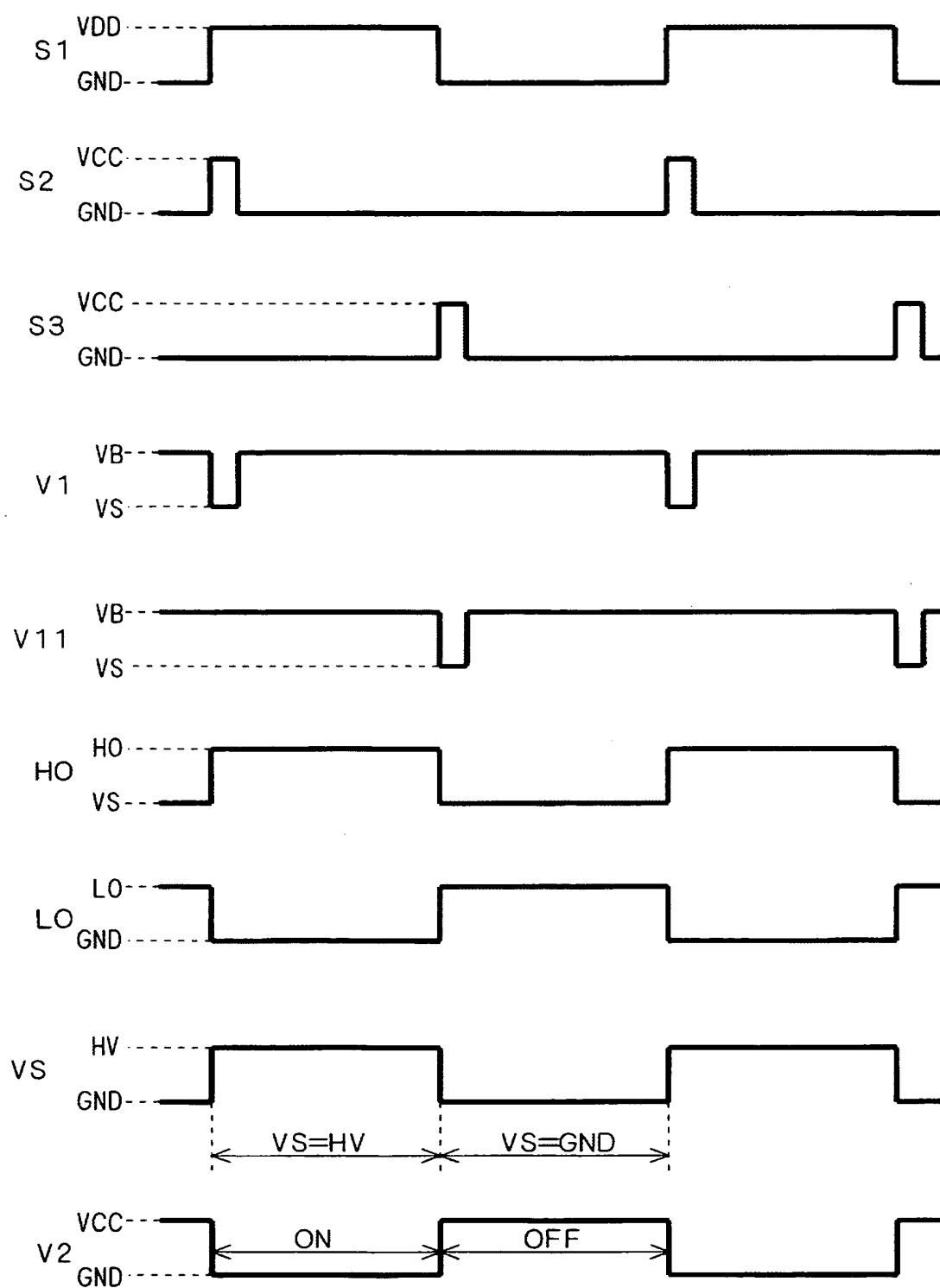
【書類名】

図面

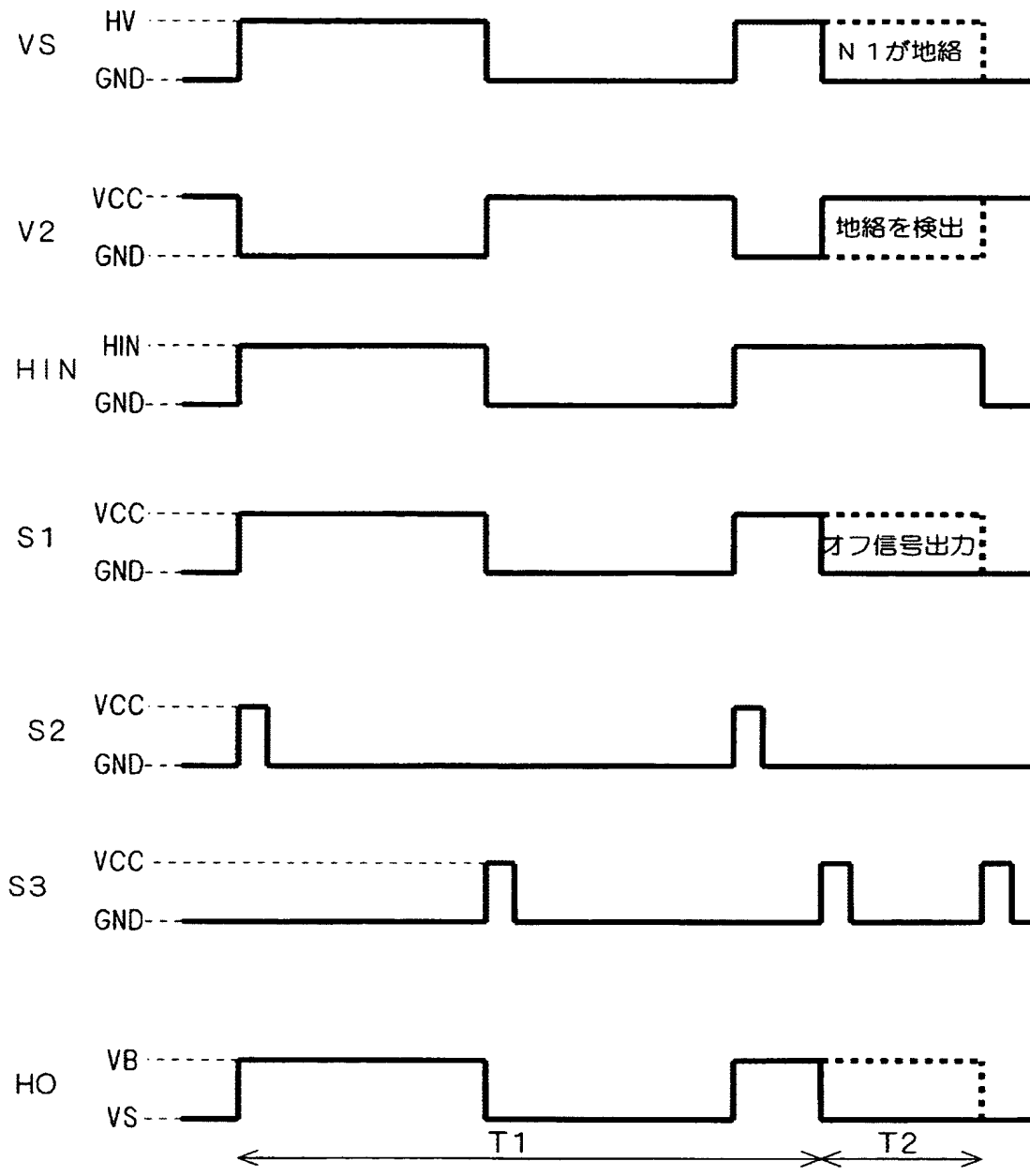
【図 1】



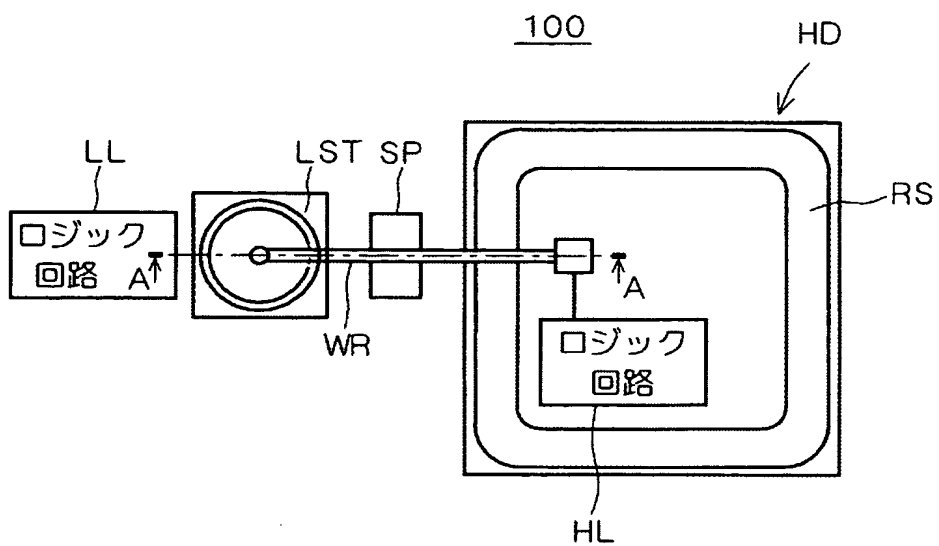
【図 2】



【図 3】

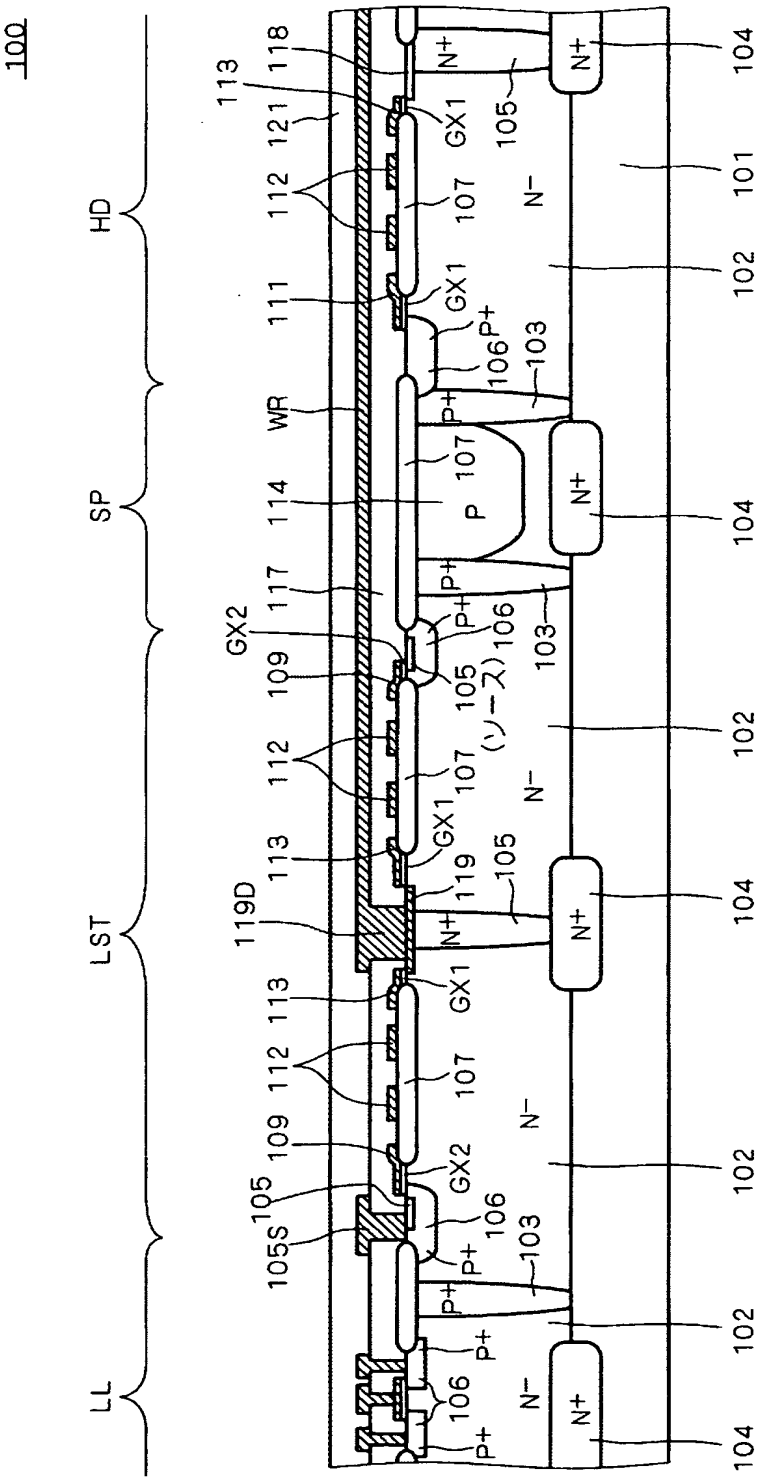


【図 4】

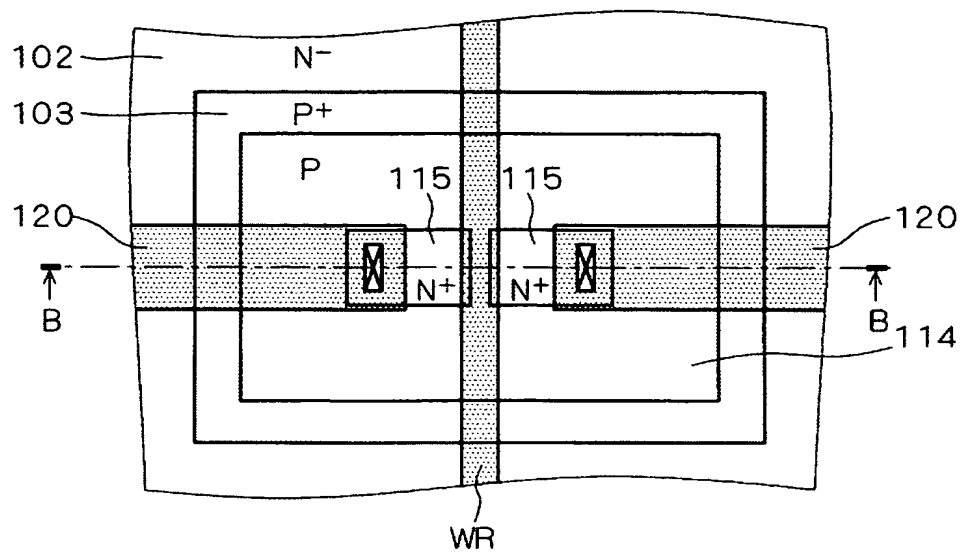




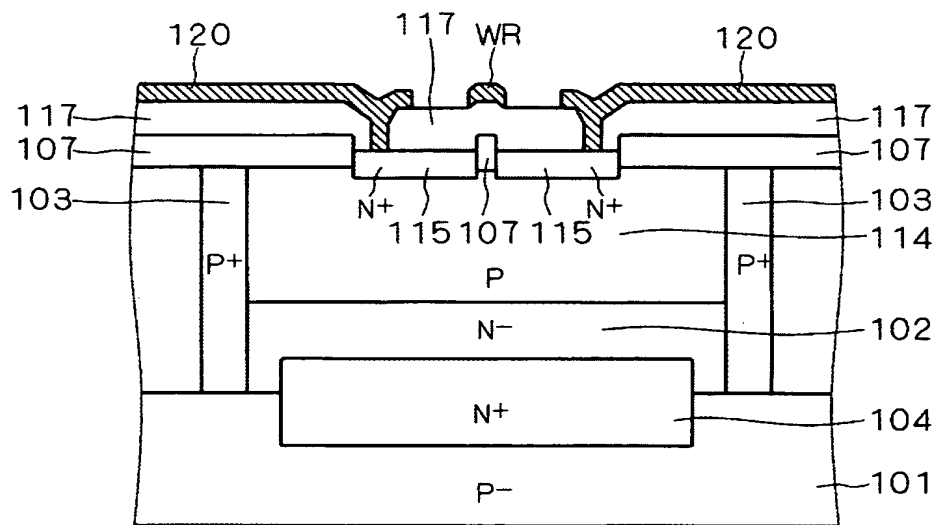
【図 5】



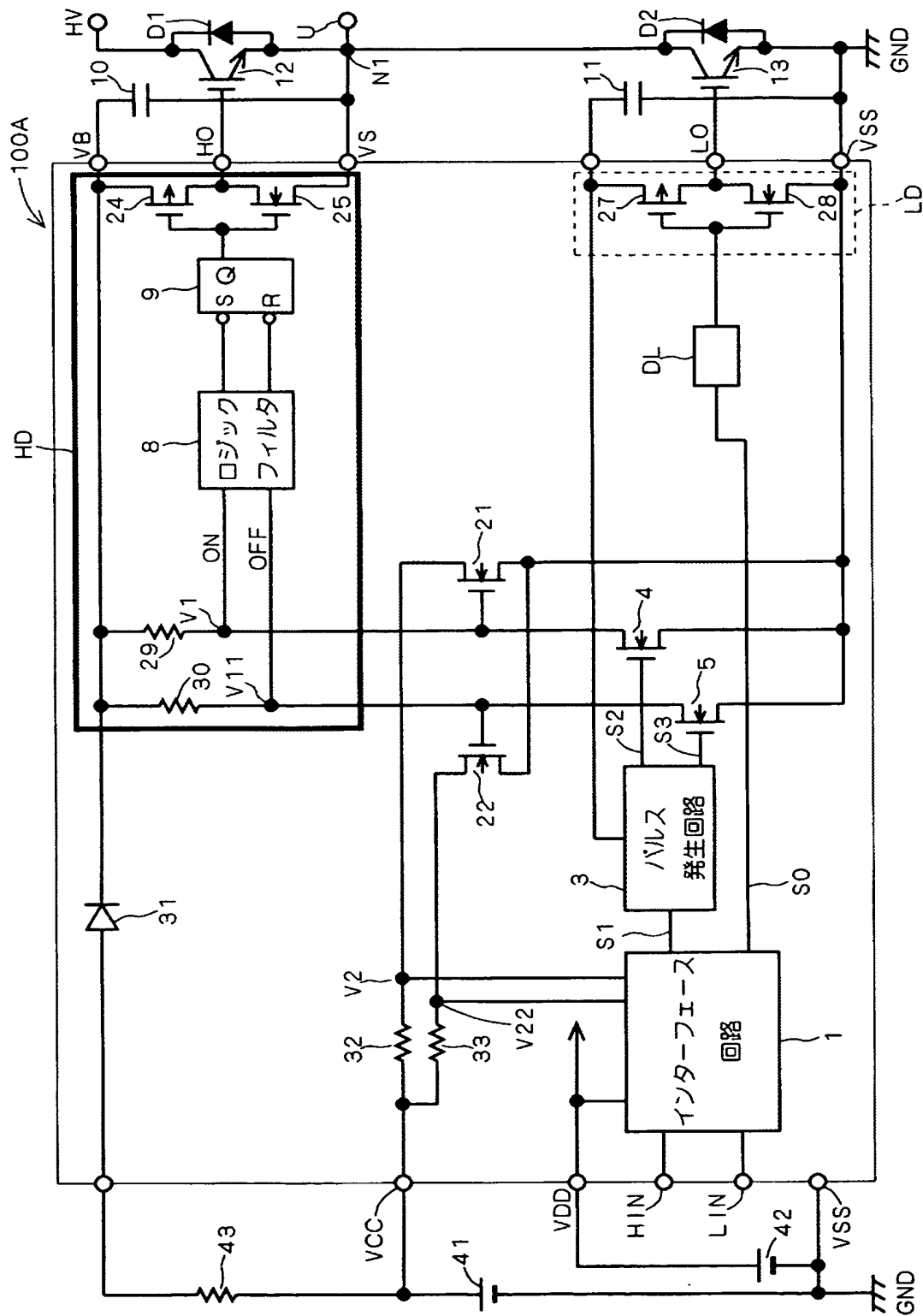
【図 6】



【図 7】



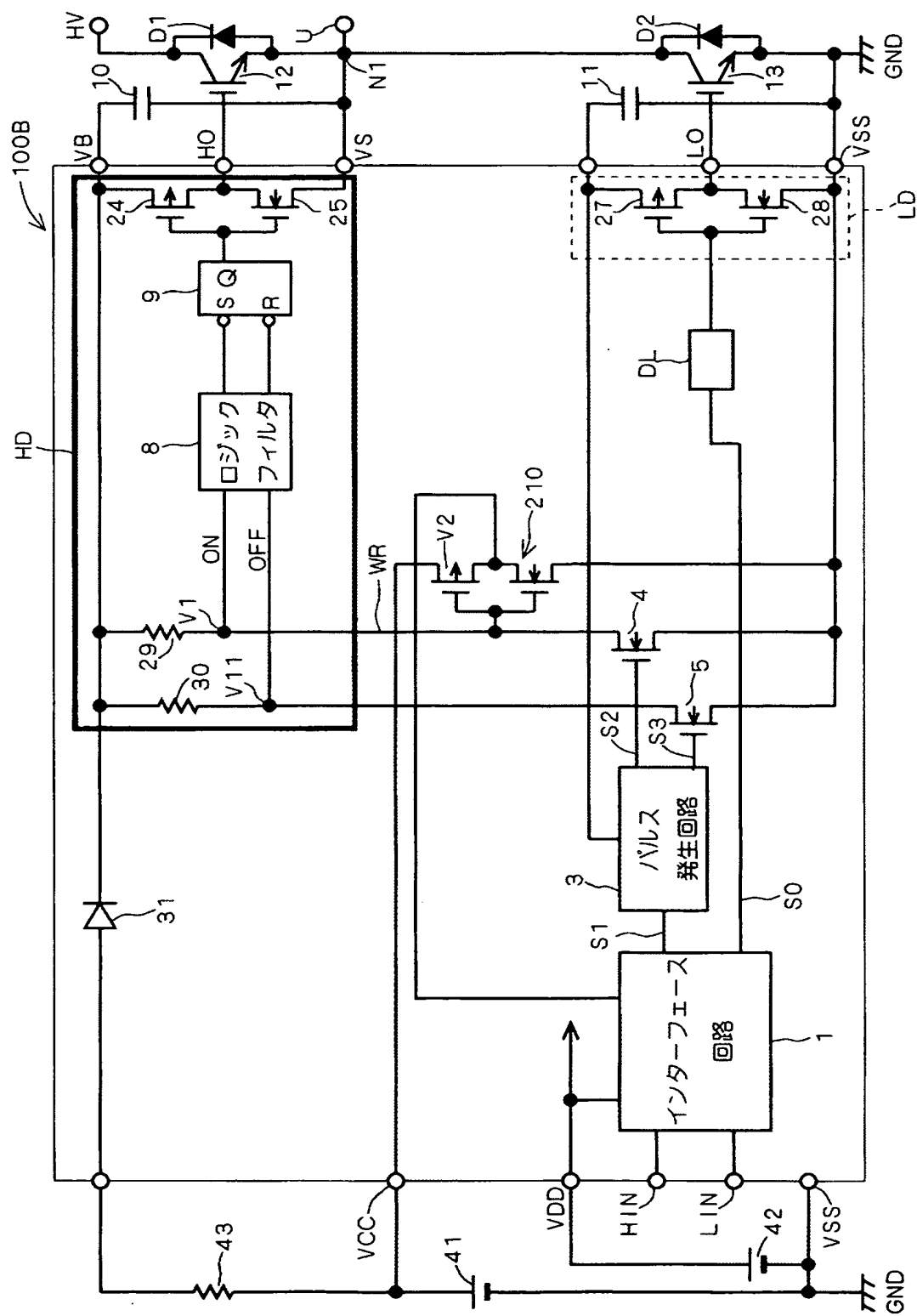
【図 8】



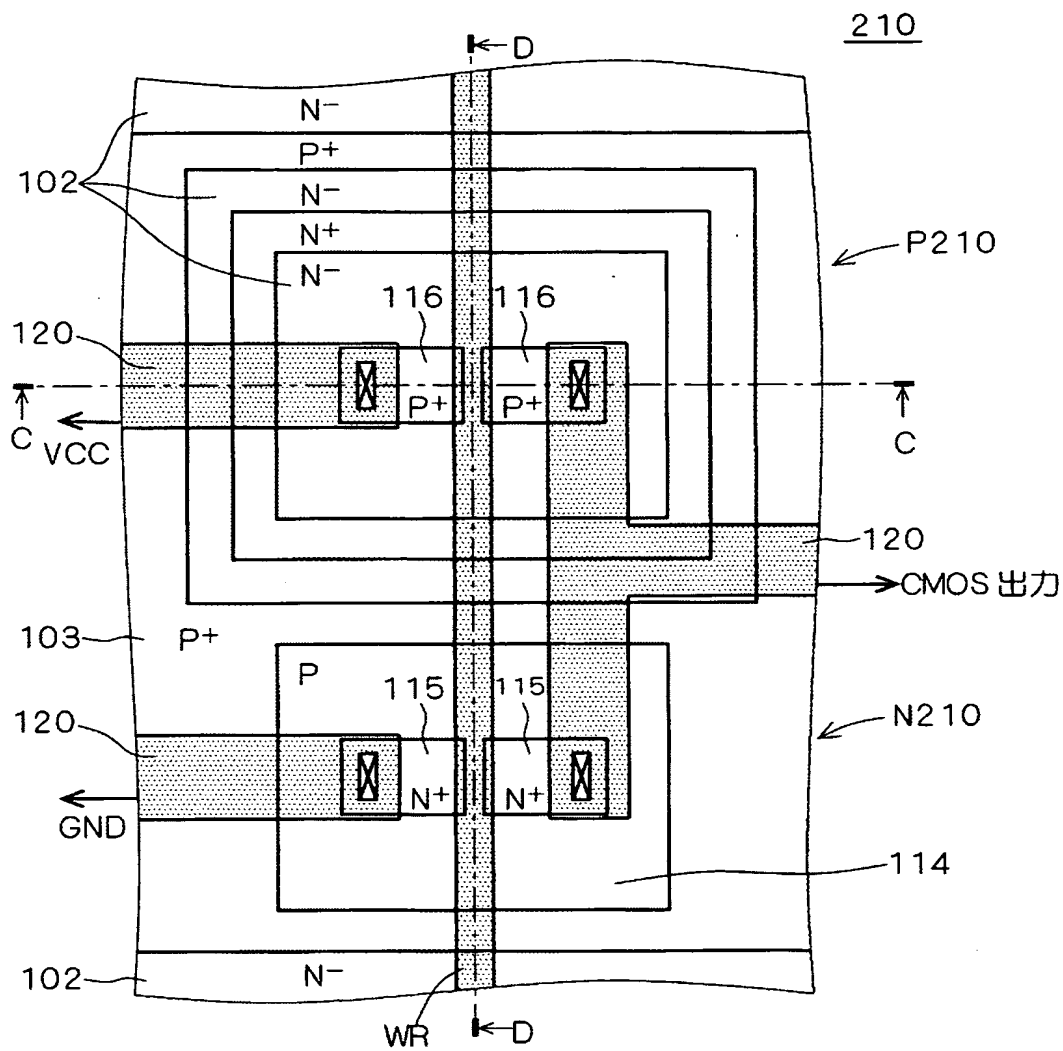
【図 9】

入力			出力
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

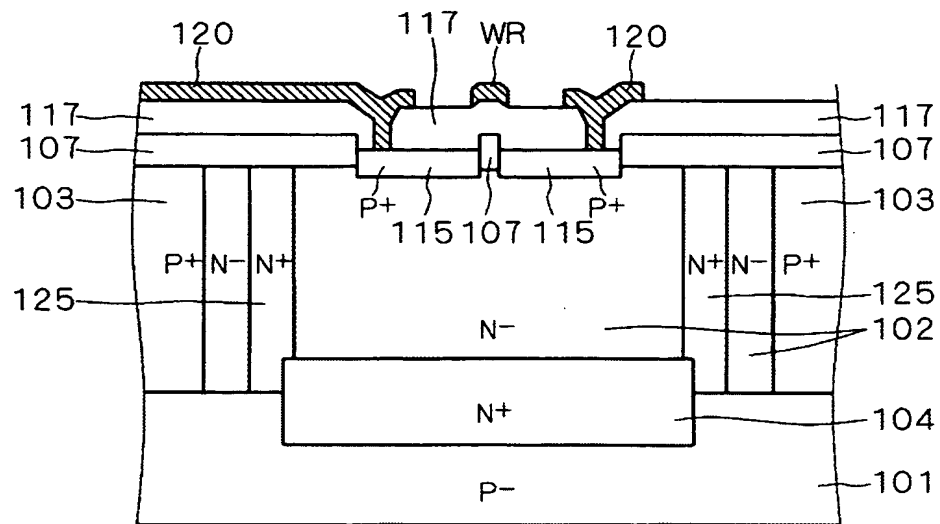
【図 10】



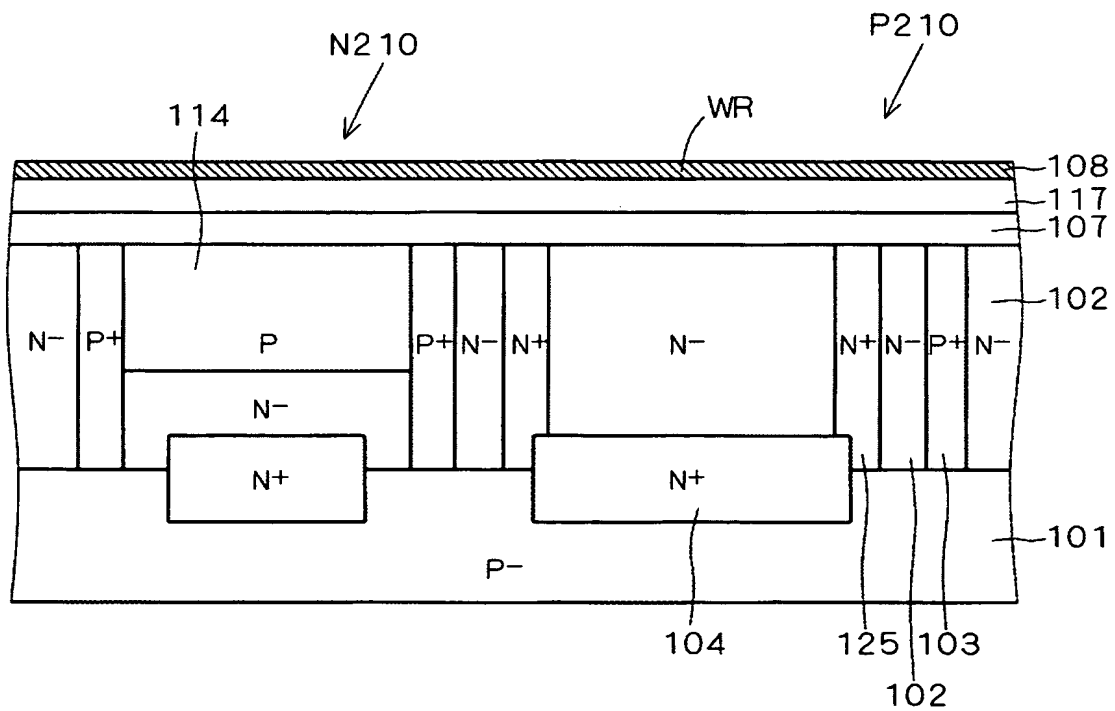
【図 11】



【図 12】



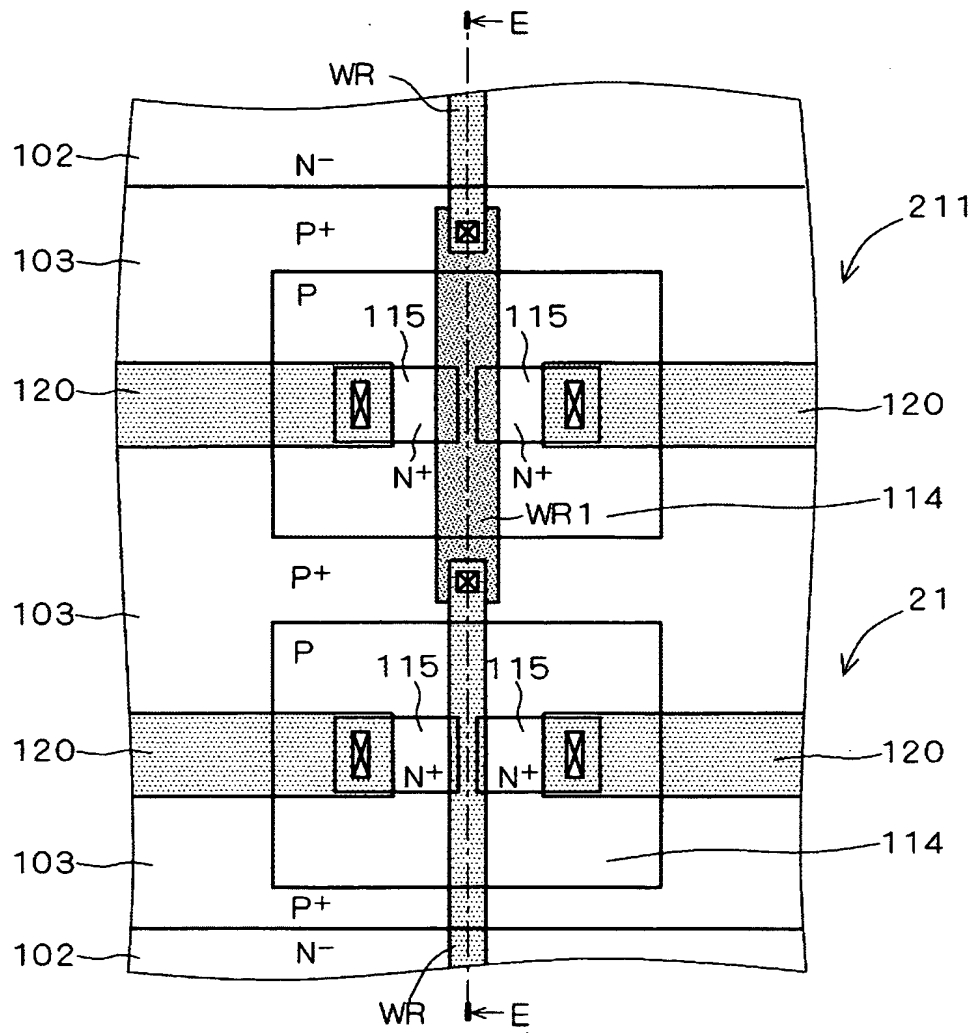
【図 13】



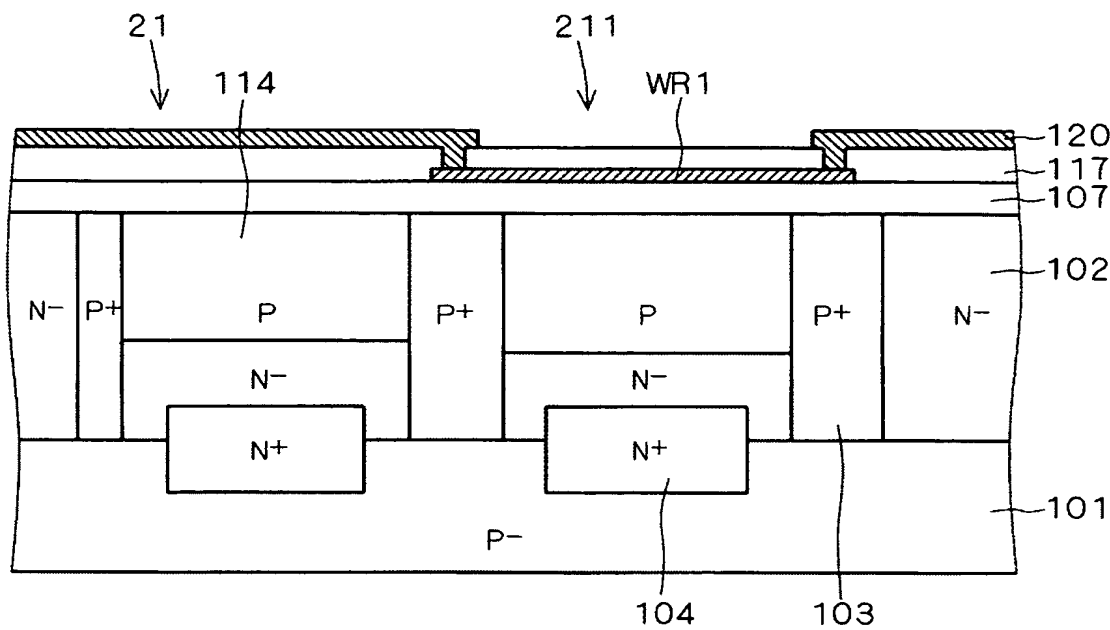




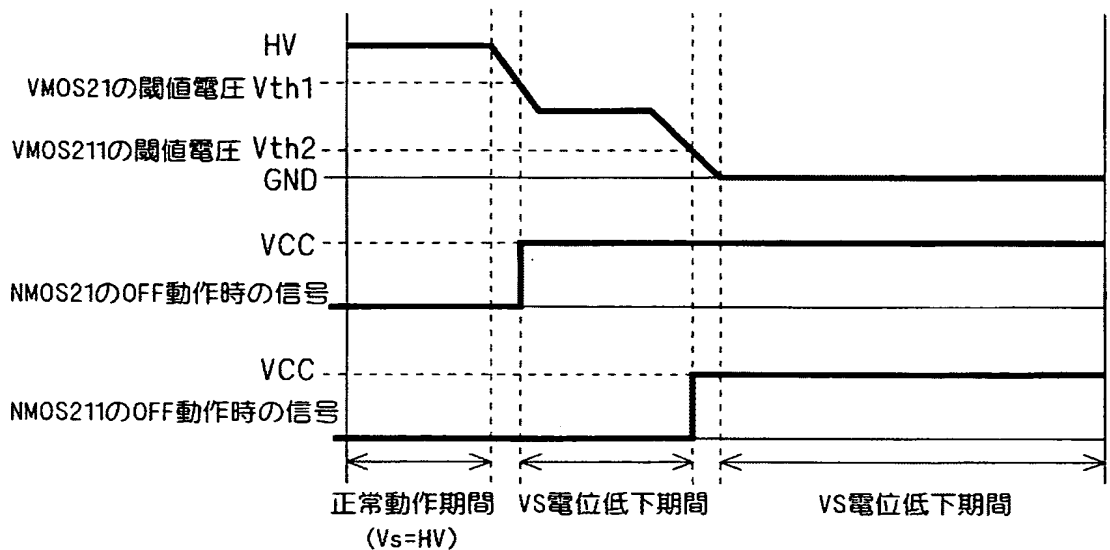
【図 15】



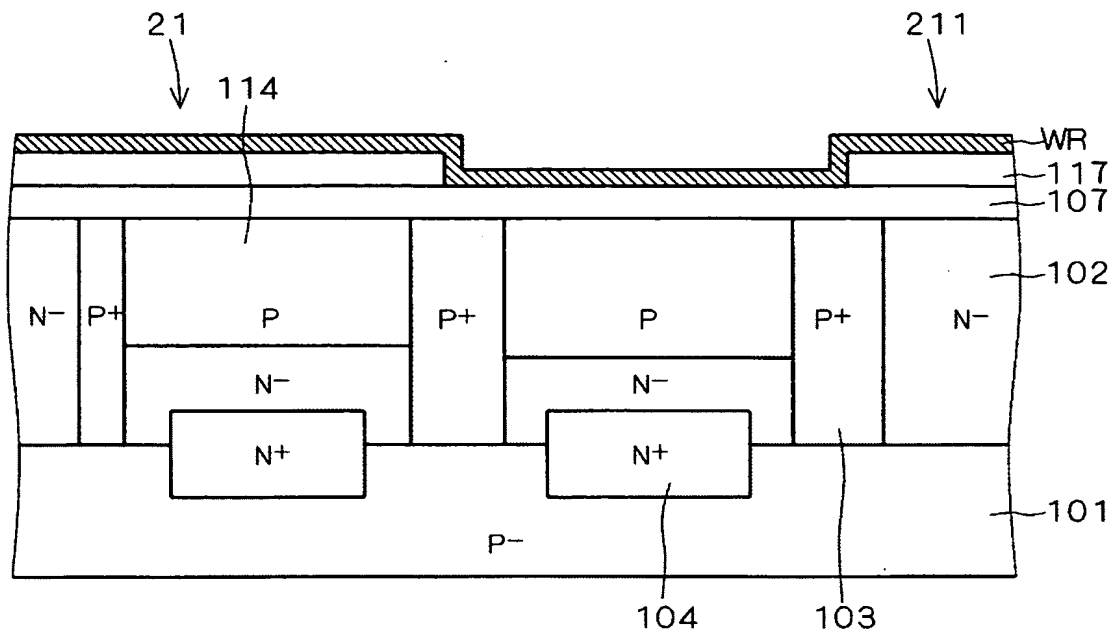
【図 16】



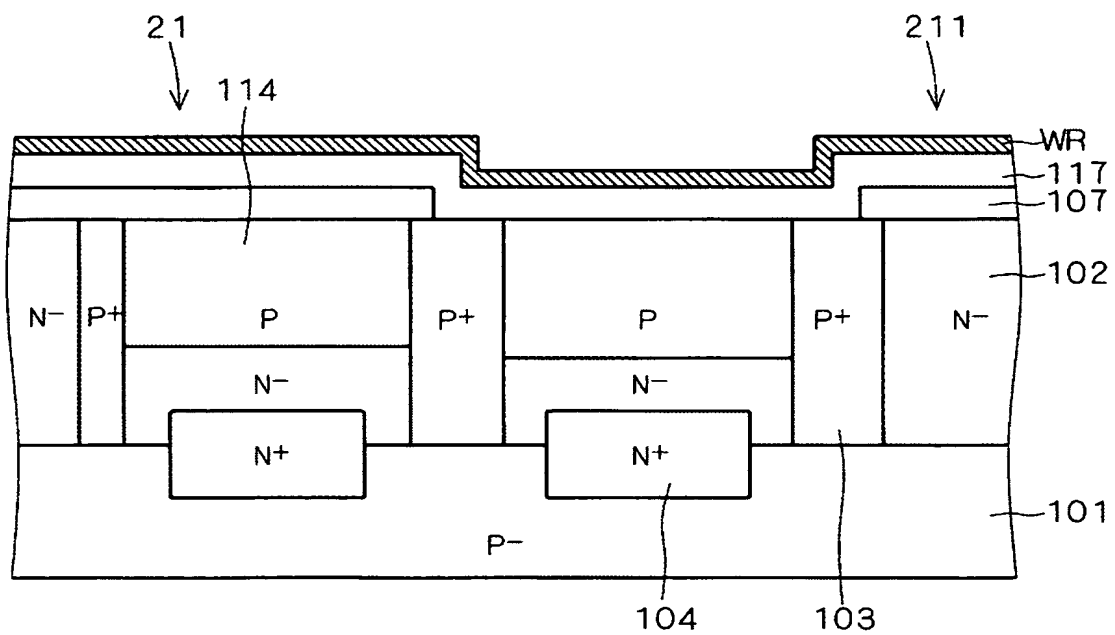
【図 17】



【図 18】

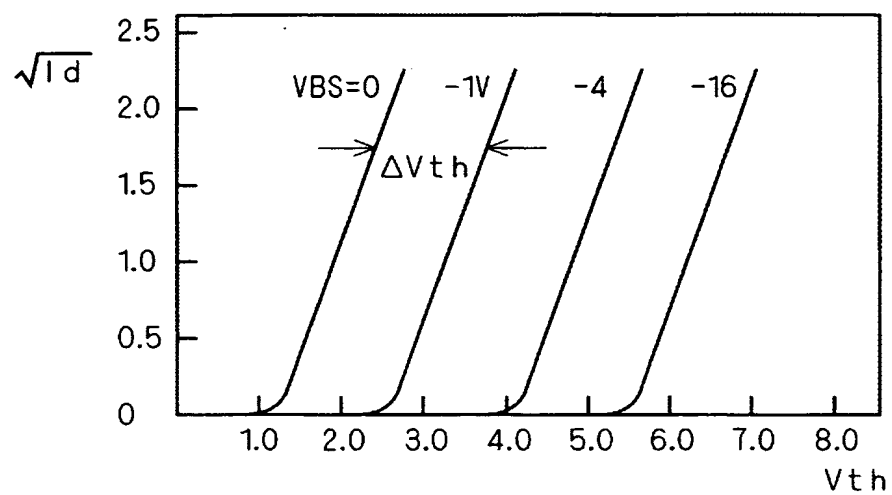


【図 19】



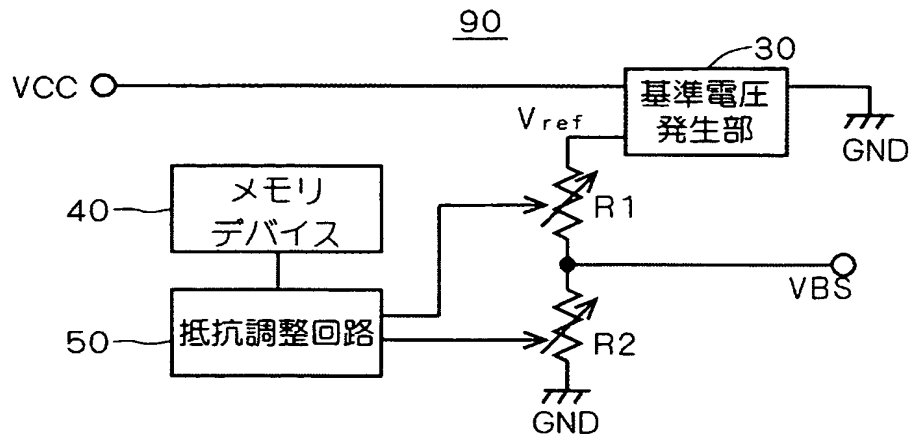


【図 22】

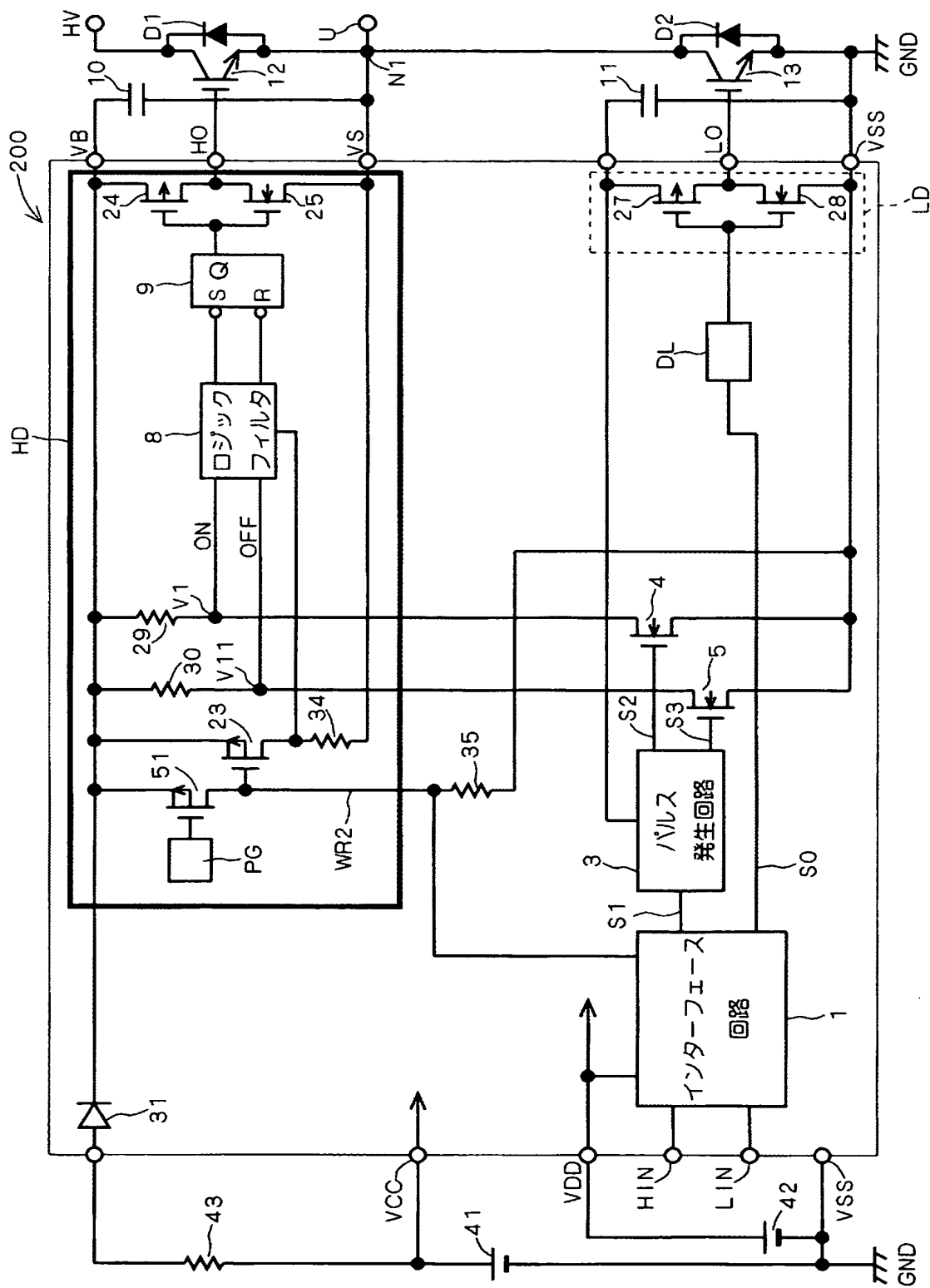




【図 24】

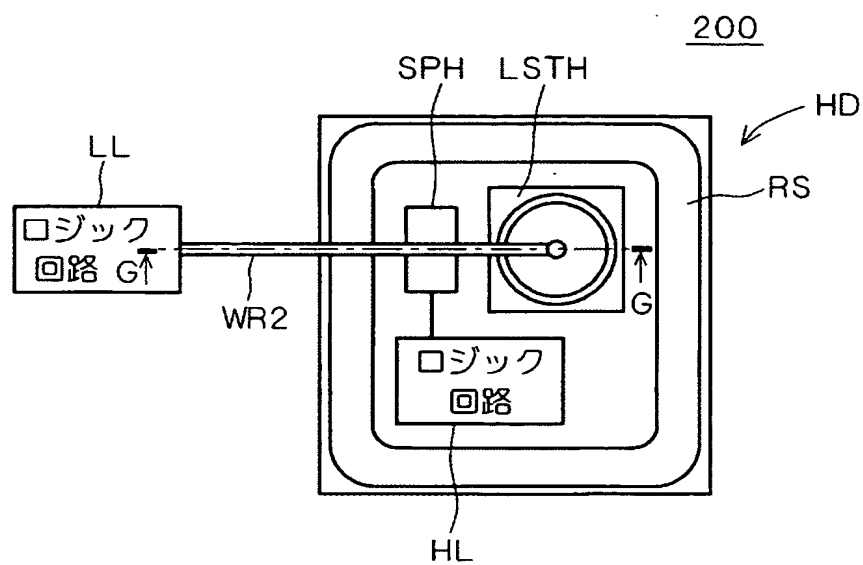


【図 25】



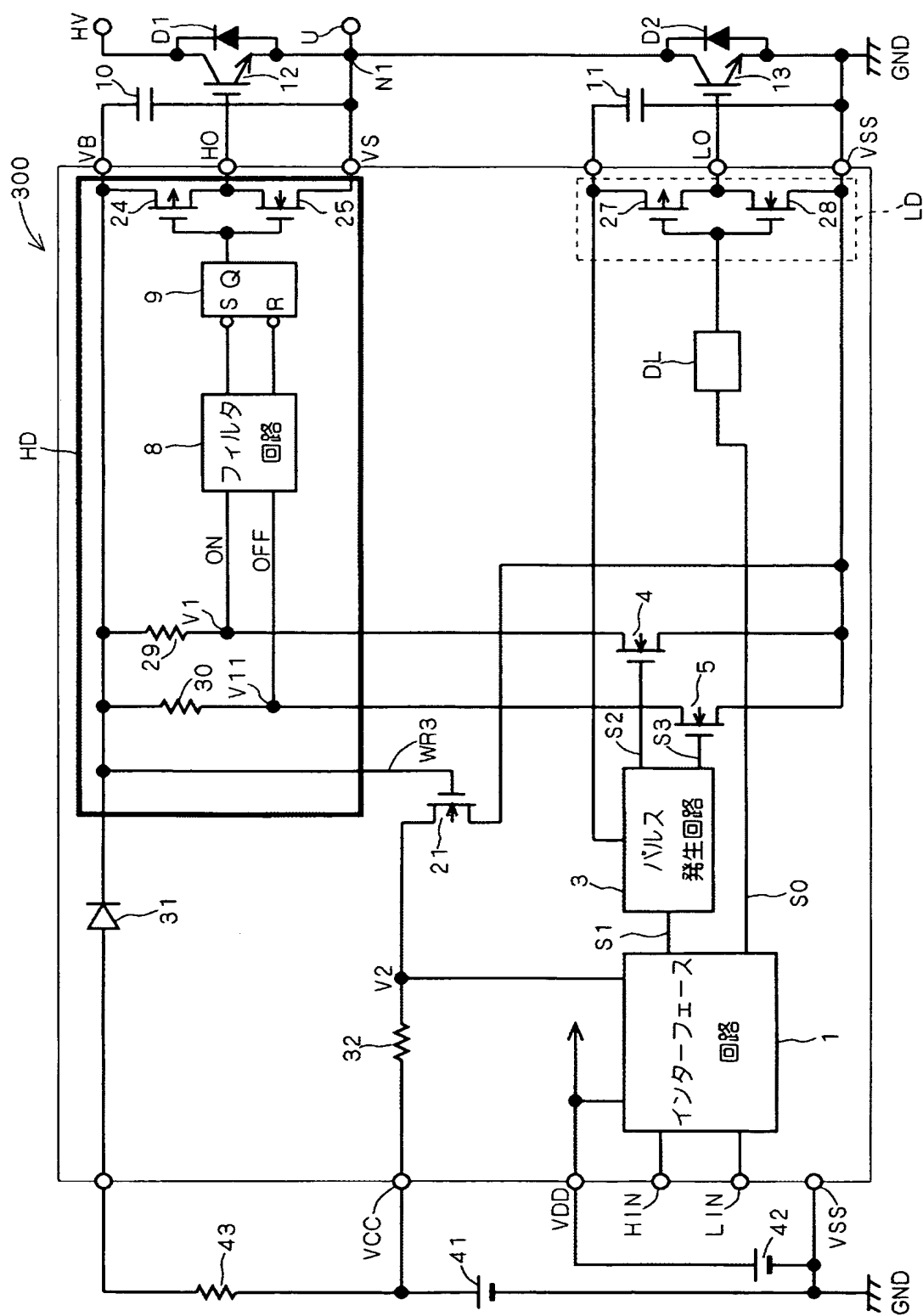


【図 26】

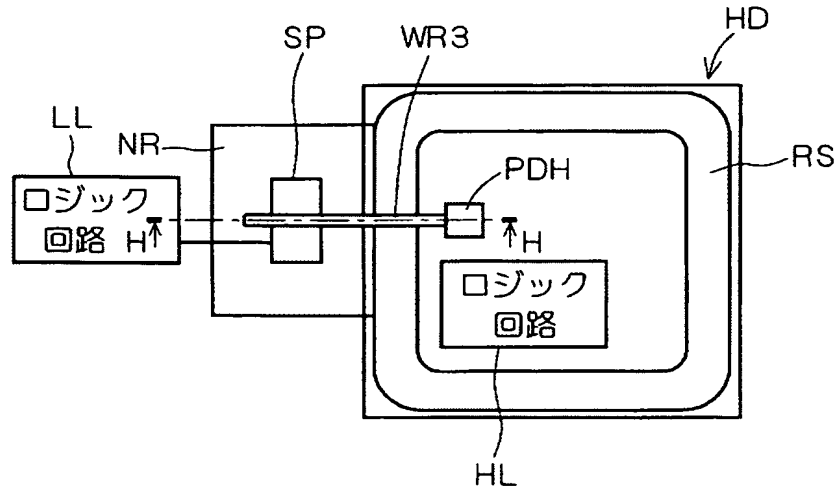




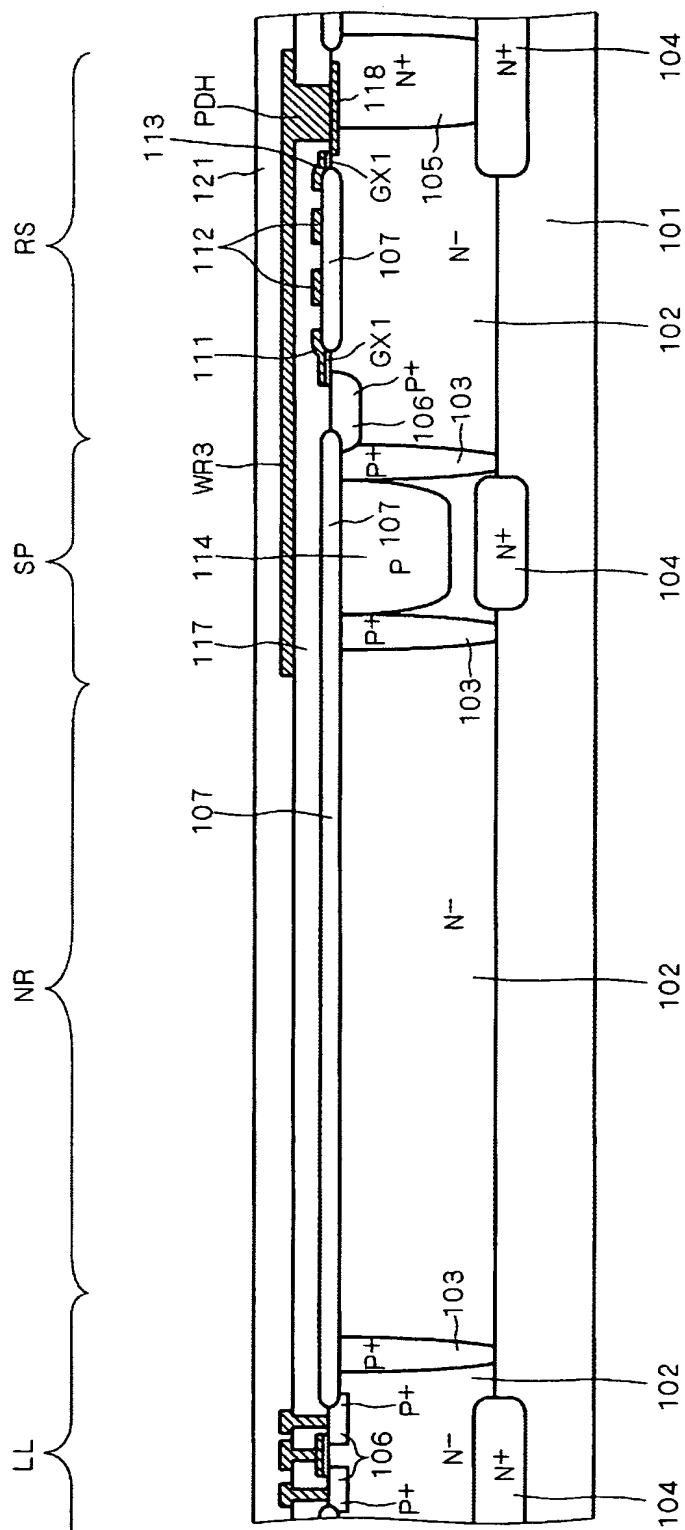
【図 28】



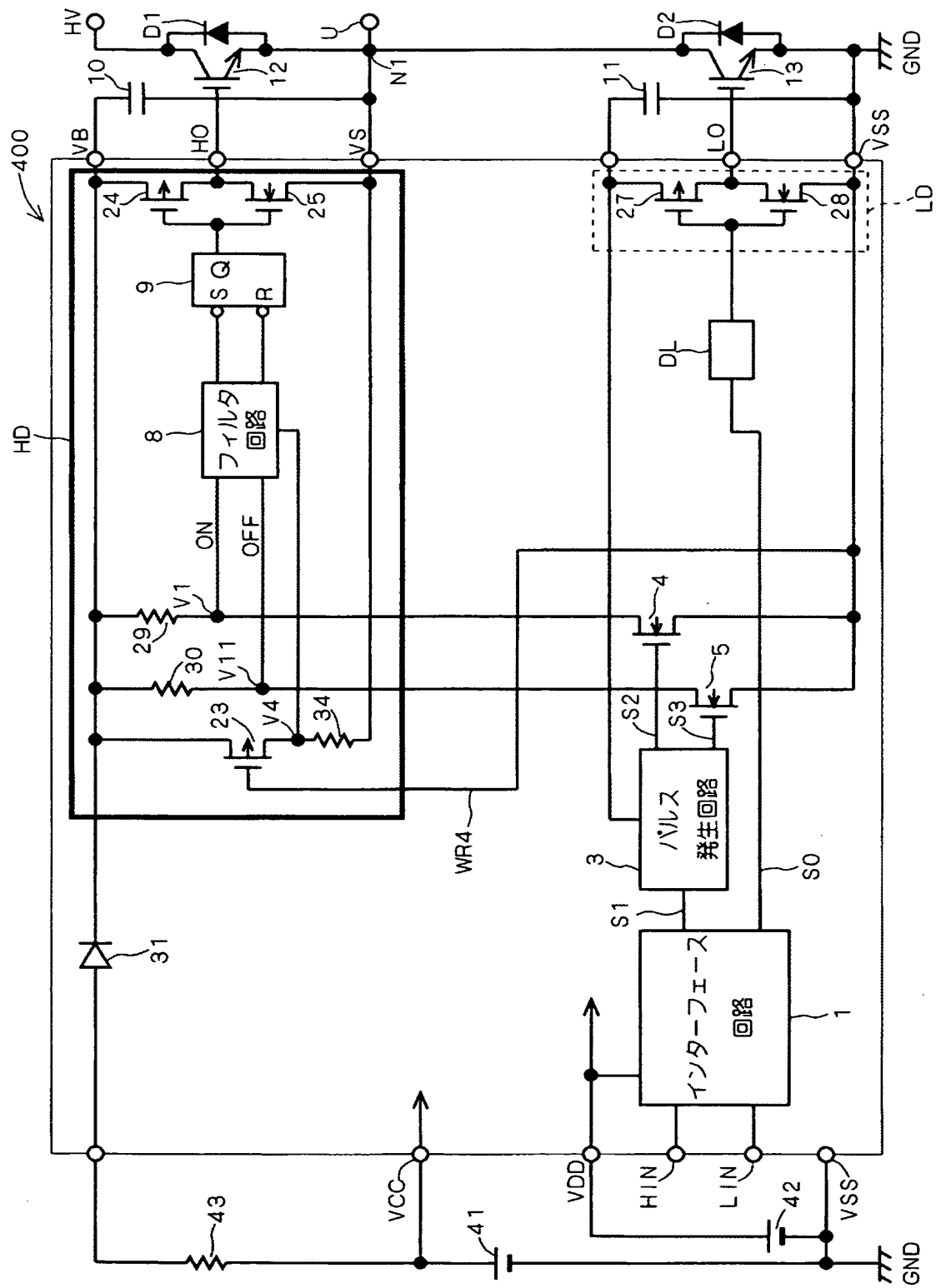
【図 29】



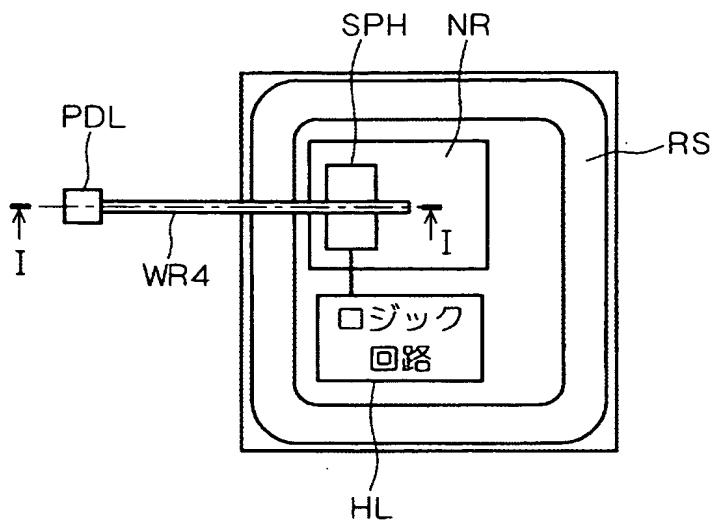
【図 30】



【図 3 1】



【図 3 2】







【書類名】 要約書

【要約】

【課題】 電力ラインのブリッジ整流を行うための半導体素子の破壊を防止した電力用集積回路装置を提供する。

【解決手段】 HN MOS トランジスタ 4 のドレイン電極を、NMOS トランジスタ 21 のゲート電極に接続し、NMOS トランジスタ 21 のドレイン電極には抵抗 32 を介してロジック回路電圧 VCC が与えられる構成とし、NMOS トランジスタ 21 のソース電極は接地電位が与えられる構成としている。そして、NMOS トランジスタ 21 のドレイン電位 V2 をインターフェース回路 1 でモニタすることで、電位 VS を間接的にモニタする。

【選択図】 図 1

特願 2 0 0 3 - 1 1 9 6 4 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社